TERMOVIGIA v3 MODULAR — DIAGRAMA DE BLOQUES (rev E.2, 2026-09-21) — frio: 2 buses 1-Wire; calor: 2 PT100 (+ termocupla K DNP) y 2 lazos 4-20 mA

Cada bloque es una hoja de biblioteca (M-03). Rieles globales por simbolo de power: +VIN 24 V (fuente de 220 V en placa O el jack 12-30 V, con diodos de OR), +24V (lazo), +VAUX (24 V),
+5V (buck, solo con red), +5V_SYS (respaldado: S3, reles, buzzer), +VBAT, +3V3, +VMODEM (TPS61252 desde +5V o +VBAT), GND (PWR_FLAG en la hoja que los genera). Las senales van por pines jerarquicos y CABLES (0 etiquetas globales).
Columna izquierda: sensores y entradas -> columna central: MCU -> columna derecha: salidas y comunicaciones. Los buses SPI (SCK/MISO/MOSI) e I2C (SDA/SCL) son los troncos verticales entre los modulos y el MCU.

PINZA_SCT013
OUT
Archivo: sensor_sct013_v1.kicad_sch

TENSION_220V_RED
OUT
Archivo: tension_red_zmpt_v1.kicad_sch

TENSION_220V_GRUPO
OUT
Archivo: tension_red_zmpt_v1.kicad_sch

ENTRADA_1
OUT
Archivo: entrada_digital_aislada_v1.kicad_sch

ENTRADA_2
OUT
Archivo: entrada_digital_aislada_v1.kicad_sch

ENTRADA_3
OUT
Archivo: entrada_digital_aislada_v1.kicad_sch

ENTRADA_4
OUT
Archivo: entrada_digital_aislada_v1.kicad_sch

LAZO_4_20mA_1
AOUT
Archivo: entrada_4_20ma_v1.kicad_sch

LAZO_4_20mA_2
AOUT
Archivo: entrada_4_20ma_v1.kicad_sch

RESPALDO_LIION
VIN_SENSE
VBAT_RAW
PGOOD_N
CHG_N
Archivo: respaldo_liion_1s_v1.kicad_sch

1WIRE_A
DQ
Archivo: bus_1wire_protegido_v1.kicad_sch

1WIRE_B
DQ
Archivo: bus_1wire_protegido_v1.kicad_sch

CORRIENTE_CT
AIN
AOUT
ZCD
Archivo: acondicionador_analogico_v1.kicad_sch

TENSION_RED
AIN
AOUT
ZCD
Archivo: acondicionador_analogico_v1.kicad_sch

TENSION_GRUPO
AIN
AOUT
ZCD
Archivo: acondicionador_analogico_v1.kicad_sch

PT100_1
SCK
MISO
MOSI
CS
Archivo: pt100_max31865_v1.kicad_sch

PT100_2
SCK
MISO
MOSI
CS
Archivo: pt100_max31865_v1.kicad_sch

TERMOCUPLA_K
SCK
MISO
CS
Archivo: termocupla_k_max31855_v1.kicad_sch

MICROSD
SCK
MISO
MOSI
CS
Archivo: memoria_microsd_v1.kicad_sch

EXPANSION_OLED
SDA
SCL
SCK
MISO
MOSI
CS_EXP
IO_EXP
Archivo: expansion_oled_v1.kicad_sch

AVISOS_LOCALES
IN1
IN2
IN3
IN4
PGOOD_N
CHG_N
SDA
SCL
INT
BUZZER
SIRENA
RGB_DIN
Archivo: avisos_locales_pcf8574_v1.kicad_sch

ADC_LAZO24V
AIN0
AIN1
AIN2
AIN3
SDA
SCL
Archivo: adc_ads1115_lazo24v_v1.kicad_sch

RTC
SDA
SCL
Archivo: rtc_pcf8563_v1.kicad_sch

MCU_ESP32S3
DQ_A
DQ_B
CT_ADC
VAC_ADC
ZC_IN
VAC2_ADC
SCK
MISO
MOSI
CS_PT1
CS_PT2
CS_TC
CS_SD
SDA
SCL
CS_EXP
IO_EXP
EXP_INT
BUZZER
SIRENA
RGB_DIN
VBAT_RAW
RELAY1
RELAY2
RS485_TXD
RS485_RXD
RS485_DE
LTE_TX
LTE_RX
MODEM_PWR_EN
EN
WDI
MR
Archivo: mcu_esp32s3_wroom1_prog_v1.kicad_sch

RELE_1
IN
Archivo: rele_10a_driver_v1.kicad_sch

RELE_2
IN
Archivo: rele_10a_driver_v1.kicad_sch

RS485_MODBUS
TX
RX
DE
Archivo: rs485_modbus_v1.kicad_sch

CELULAR_4G
LTE_TX
LTE_RX
MODEM_PWR_EN
Archivo: celular_a7670_v1.kicad_sch

SUPERVISOR_WDT
EN
WDI
MR
Archivo: supervisor_tps3823_v1.kicad_sch

FUENTE_24V_5V_3V3
Archivo: fuente_12v_5v_3v3_v1.kicad_sch

FUENTE_220VAC
Archivo: fuente_ac_12v_v1.kicad_sch

H1 M3 (4,4) | H2 M3 (96,4) | H3 M3 (4,166) | H4 M3 (96,166)
H1-H4: MountingHole_3.2mm_M3 en (4,4) (96,4) (4,166) (96,166) mm — PCB 100 x 170 mm, 4 capas JLC04161H-7628

TABLA GPIO (fuente: hoja_mcu.py; para @firmware: PINOUT.md)

GPIO	senal	modulo / nota
0	BOOT	boton BOOT / provision WiFi (strapping, pull-up)
1	CT_ADC	pinza SCT-013 via acondicionador (ADC1_CH0, 10 kS/s)
2	VBAT_RAW	bateria pre-fusible (ADC1_CH1)
3	VAC_ADC	tension de red via ZMPT + acondicionador (ADC1_CH2, 10 kS/s)
4	DQ_A	1-Wire bus A
5	DQ_B	1-Wire bus B
6	RELAY1	rele 1 (HIGH = ON)
7	VAC2_ADC	tension del grupo electrogeno (ADC1_CH6, INDUSTRIAL, DNP)
8	SDA	I2C: PCF8574AT 0x38, ADS1115 0x48, PCF8563 0x51, OLED 0x3C
9	SCL	I2C
10	CS_PT1	MAX31865 #1
11	MOSI	SPI
12	SCK	SPI
13	MISO	SPI
14	CS_PT2	MAX31865 #2
15	CS_TC	MAX31855 (DNP)
16	CS_SD	microSD (DNP)
17	LTE_TX	UART2 -> R del BK-A7670 (1k)
18	LTE_RX	UART2 <- T del BK-A7670 (1k)

GPIO	senal	modulo / nota
19	USB_DN	USB nativo D-
20	USB_DP	USB nativo D+
21	MODEM_PWR_EN	EN del TPS61252 del modem (HIGH = ON; 100k a GND; LOW en boot)
35	CS_EXP	expansion SPI
36	IO_EXP	expansion GPIO
37	EXP_INT	INT del PCF8574 (activo bajo)
38	RS485_TX	UART1 -> DI
39	RS485_RX	UART1 <- RO
40	RS485_DE	DE/RE (LOW = recibe)
41	SIRENA	MOSFET sirena (HIGH = ON)
42	ZC_IN	cruce por cero de la red (comparador) -> frecuencia (E.1: sale de IO46, strapping)
43	TXD0	UART0 header J1 (consola)
44	RXD0	UART0 header J1
45	RELAY2	rele 2 (HIGH = ON)
46	BUZZER	buzzer (HIGH = suena; strapping: 12k2 a GND = 0 en el reset)
47	WDI	watchdog TPS3823 (conmutar <= 0,8 s)
48	RGB_DIN	LED RGB WS2812B (RMT)

Strapping: 0 BOOT; 45 RELAY2 y 46 BUZZER (base 2k2 + 10k a GND: 0 en el reset);
3 VAC_ADC (JTAG_SEL solo con eFuse). 42 ZC_IN (E.1). 26-32 flash/PSRAM. 19/20 USB. 43/44 UART0.

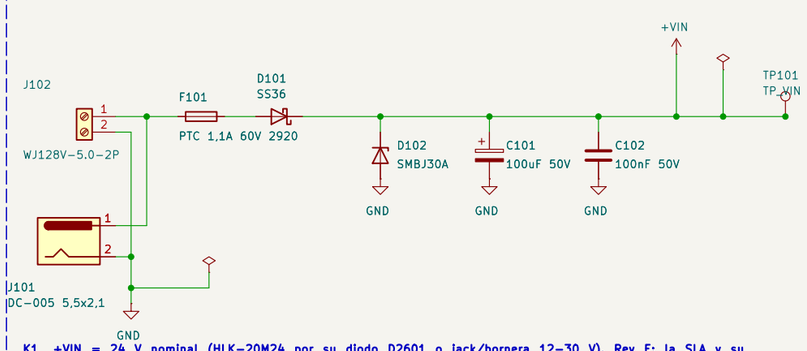
AIN3 libre (rev E: VBAT va al ADC del S3)

PROTOTIPO rev E.2 — PCB 100 x 170 mm, 4 capas JLC04161H-7628
@esquematico (Claude) para M. Alegre — ESPECIFICACION / DISENO.md
Cada hoja hija = modulo de biblioteca (M-03) con su ficha
S3 + 2 reles + 4 entradas + 2x 1-Wire + 2 PT100 + 4-20 mA + RS-485 + 4G
Pandemonium (PNDM) — Termovigia
Sheet: /
File: termovigia_v3.kicad_sch

Title: TERMOVIGIA v3 MODULAR — FRIO y CALOR (bloques)
Size: A2 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 1/33

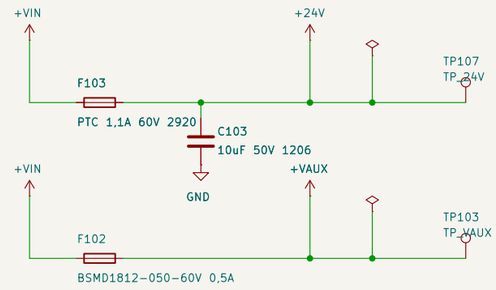
FUENTE: +VIN 24 V (HLK-20M24 o jack 12-30 V) -> BUCK TPS54360 +5V -> (cargador) -> +5V_SYS -> LDO +3V3; +24V lazo; +VAUX | fuente_12v_5v_3v3_v1

1) ENTRADA DC 12-30 V (jack + bornera), PTC, INVERSION, TVS -> +VIN



K1 +VIN = 24 V nominal (HLK-20M24 por su diodo D2601 o jack/bornera 12-30 V). Rev E: la SLA y su cargador de 14,1 V salieron (C1 del verificador): el respaldo es Li-ion 1S (hoja RESPALDO).
Consumo en +VIN: buck 5 V 1,2 A tipico (2,3 A pico) x 5 / 0,9 / 24 = 0,28 A (0,53 A pico) + lazo 24 V 0,04 A + +VAUX 0,05 A = 0,37 A: con sirena de 24 V (0,6 A): 1,2 A pico intermitente.
K2 M-10 peor caso -> rating: jack 30 V + clamp D2 48,4 V -> TPS54360 65 V abs, C1 50 V, SS36 60 V, PTC 60 V, PTC F2 30 V (solo ve 24 V en regimen).

1b) +24V (lazo 4-20 mA) Y +VAUX DESDE +VIN, CON PTC



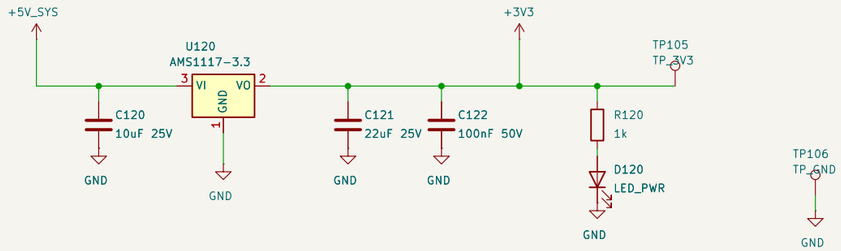
K3 Rev E: sale el boost MT3608 del lazo (28 V abs, sin margen) porque +VIN ya es 24 V. +VAUX tambien es 24 V (antes 12 V): entradas aisladas 11,4 mA por canal, sirena 24 V.

2) BUCK 24 V -> 5 V / 3,5 A (buck_tps54360_v1) = +5V: reles, cargador de la celda, boost del modem (via +5V_SYS)



K4 +5V (solo con red): reles 0,15 A + buzzer 0 + cargador BQ24075 hasta 1,07 A (ILIM) + lo que pide +5V_SYS con red (pasa-directo: LDO 0,35 A + boost del modem 0,7 A) = 2,3 A pico, 1,2 A tipico. Sin red +5V = 0 y +5V_SYS lo sostiene la celda (hoja RESPALDO). El USB-C del MCU inyecta 5 V en +5V por D301 (programar sin red: el cargador toma hasta 1,07 A del puerto: usar cargador de 2 A).

3) LDO 3,3 V (AMS1117-3.3) DESDE +5V_SYS (riel respaldado) + LED de encendido + masa de prueba

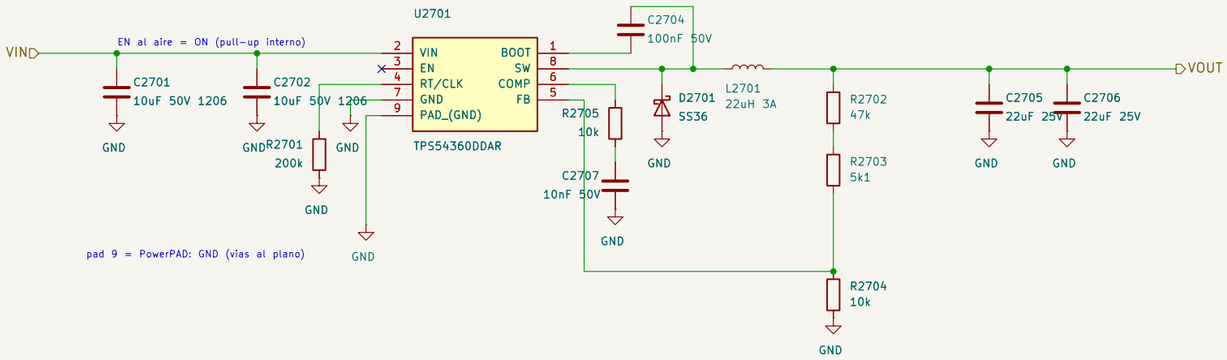


K5 3V3: S3 medio 0,12 A, pico WiFi 0,35 A; + MAX31865 x2 6 mA + MCP6004 x3 1,5 mA + resto 20 mA = 0,15 A medio. P = (5 - 3,3) x 0,15 = 0,26 W (pico 0,65 W) en SOT-223 (Rth ~ 60 C/W con cobre): +16 C.
Sin red el LDO cuelga de +5V_SYS (boost desde la celda): 3,3 V mientras la celda este por encima de 3,0 V.

Biblioteca: fuente_12v_5v_3v3_v1
ORIGEN: Termovigia v3 (2026-09-17), rev E 2026-09-21: entrada a 24 V (HLK-20M24), buck TPS54360 a 5 V, +24V y +VAUX directos de +VIN, LDO desde +5V_SYS (respaldo Li-ion). Topologia de entrada (PTC/diodo serie/TVS) heredada de Base v2.
PROBADO: NO probado en hardware. ERC 0/0; buck simulado (simulacion/SIMULACION.md).
USO: instanciar 1 vez; entrega rieles globales +VIN (24 V), +24V (lazo), +VAUX (24 V), +5V (solo con red) y +3V3 con PWR_FLAG. +5V_SYS lo entrega RESPALDO. Sin pines jerarquicos. La LITE la instancia igual.
DEPENDE: fuente_ac_12v_v1 (+VIN por D2601) o el jack; respaldo_liion_1s_v1 (+5V_SYS para el LDO).
GOTCHAS: con 12 V en el jack: +5V ok, pero +24V / +VAUX quedan en 12 V (sin lazo 4-20 mA). Layout del lazo caliente del TPS54360.

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia
Sheet: /FUENTE_24V_5V_3V3/
File: fuente_12v_5v_3v3_v1.kicad_sch
Title: fuente_12v_5v_3v3_v1 - +VIN 24 V, buck 5 V, +24V lazo, +VAUX
Size: A3 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 2/33

BUCK 3,5 A TPS54360 (4,5–60 V): +VIN 24 V -> +5V (reles, cargador de la bateria, LDO 3,3 V via +5V_SYS) | buck_tps54360_v1



Biblioteca: buck_tps54360_v1

ORIGEN: nuevo en Termovigia v3 rev E (2026-09-20). Circuito tipico de la hoja de datos TI TPS54360 (SLVSBB4) con los valores calculados arriba.

PROBADO: NO probado en hardware. Simulado (modelo promediado) en simulacion/SIMULACION.md.

USO: una instancia (anidada en FUENTE). VIN 12–30 V (24 V nominal), VOUT 4,97 V, hasta 3 A. Refs 27xx. Sirve igual para la placa LITE.

DEPENDE: GND. La madre pone el PWR_FLAG y el riel +5V a la salida.

GOTCHAS: no sincronico: D1 obligatorio. Cambiar R2/R3 cambia Vout (0,8 V de referencia). El pad 9 es el PowerPAD (GND): no hay pin de soft-start (E.1, hallazgo de @pcb).

K1 Por que TPS54360 (rev E): +VIN = 24 V (HLK-20M24) y jack hasta 30 V con clamp de 48 V (SMBJ30A): 60 V op / 65 V abs. 3,5 A, USD 0,63, stock 60.159 (C44377, 20-sep). Reemplaza al AP63205 (32 V abs: sin margen contra el clamp) y al TPS54202 del cargador SLA (la SLA salio en rev E).

K2 Corriente en +5V (E.1): BQ24075 1,07 A (ILIM: carga de la celda + todo +5V_SYS: S3, reles, buzzer) + fuente del modem TPS61252 1,46 A pico (0,3 A medio) + expansion = 2,5 A pico < 3,5 A (Ilim 4,5 A min). Continuo tipico 1,0 A.

K3 M-10 peor caso -> rating: VIN 30 V (jack) y clamp 48 V < 65 V abs; C1/C2 50 V; D1 60 V; L1 Isat 3 A > 2,4 A; C5/C6 25 V; R2 (5 V)^2/52k = 0,5 mW. Perdidas ~8 % de 11 W = 0,9 W en HSOP-8 con PowerPAD (Rth ~40 C/W): +36 C.

K4 Lazo: gmea 350 uA/V, gmps 12 A/V, Vref 0,8 V (hoja TI SLVSBB4). fco 30 kHz (fsw/16). Con 12 V en el jack (banco) sigue regulando 5 V (D = 42 %). Soft-start interno (fig. 21, depende de fsw): sin pin SS.

Layout: lazo C1/C2-U1-D1 minimo (el diodo de rueda libre cierra el lazo caliente). SW-L1 corto. FB y COMP lejos de SW, PowerPAD a plano GND con vias.

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03), anidado en FUENTE (+5V)
Pandemonium (PNDM) – Termovigia

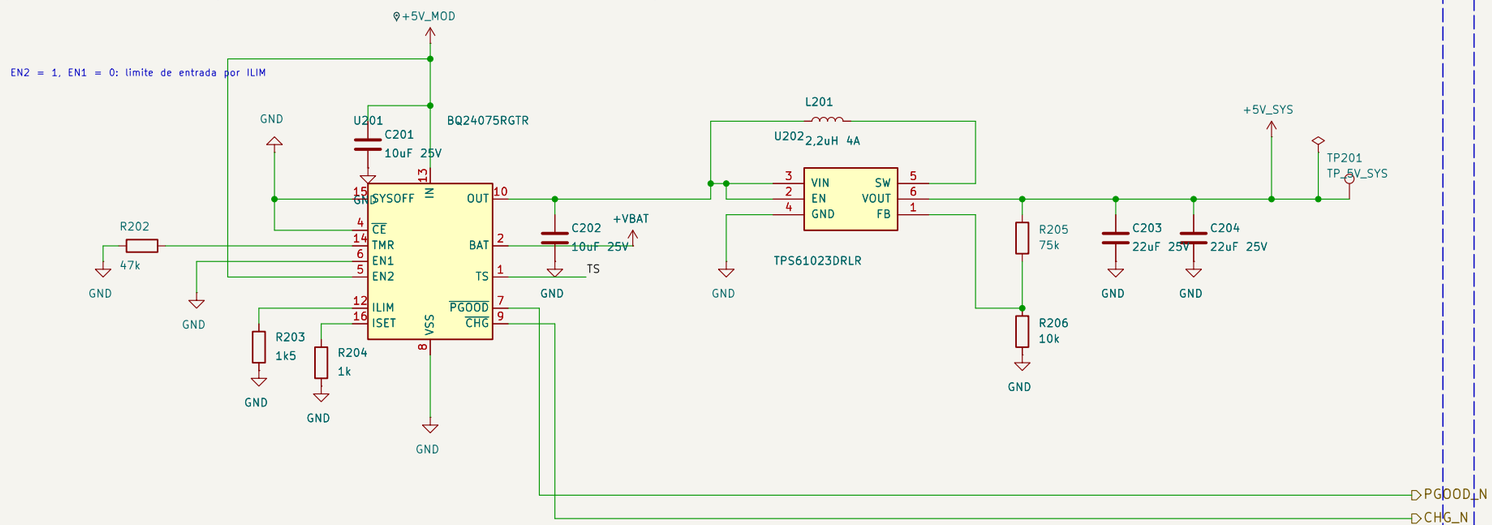
Sheet: /FUENTE_24V_5V_3V3/BUCK_5V/
File: buck_tps54360_v1.kicad_sch

Title: buck_tps54360_v1 – buck 3,5 A 60 V, 24 V -> 5 V

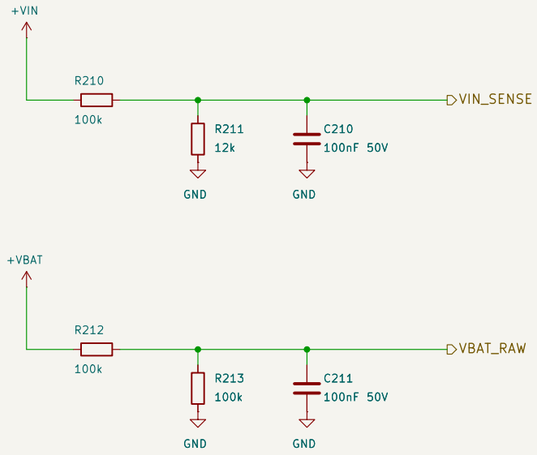
Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 3/33

RESPALDO Li-ion 1S EN EL GABINETE: BQ24075 (power path + NTC) + PROTECCION DW01A/FS8205A + 18650 + BOOST TPS61023 -> +5V_SYS | respaldo_liion_1s_v1

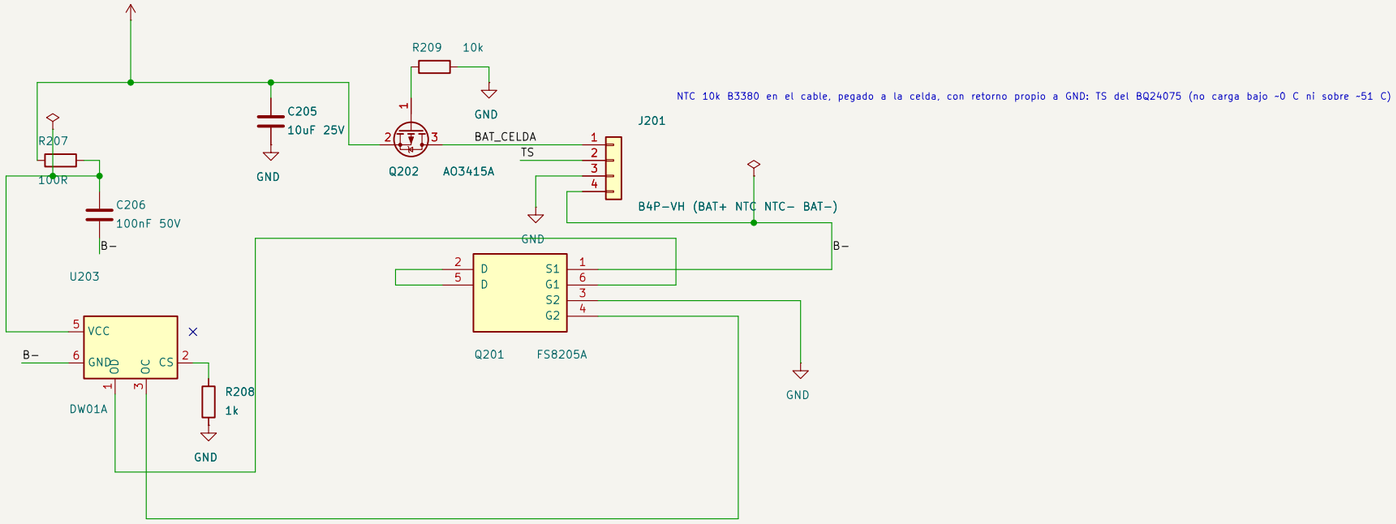
1) CARGADOR BQ24075 (power path: OUT = +5V con red, VBAT sin red) + BOOST TPS61023 5,06 V



3) SENSADO: RED (+VIN 24 V) -> ADS1115 AIN2; BATERIA -> ADC del S3 (VBAT_RAW)



2) PROTECCION DE LA CELDA (DW01A + FS8205A) + CELDA INVERTIDA (Q2) + CONECTOR J1 (JST VH 4 vias)



Biblioteca: respaldo_liion_1s_v1

ORIGEN: nuevo en Termovigia v3 rev E (2026-09-21). Circuitos tipicos de las hojas TI SLUS810 (BQ24075), TI SLVSEZ7 (TPS61023) y DW01A + FS8205A (proteccion 1S estandar).
PROBADO: NO probado en hardware. Umbrales y corrientes por hoja de datos; boost simulado en simulacion/SIMULACION.md.
USO: una instancia. Entrada +5V (buck o USB). Salidas: +5V_SYS (riel respaldado), +VBAT, VBAT_RAW (ADC del S3, x 0,5), VIN_SENSE (ADS1115), PGOOD_N / CHG_N (PCF8574 P4 / P6).
DEPENDE: fuente_12v_5v_3v3_v1 (+5V, +VIN para VIN_SENSE). El LDO 3,3 V de FUENTE se alimenta de +5V_SYS.
GOTCHAS: la 18650 va en un portapila atornillado al gabinete (E.1) con un cable de 4 hilos (BAT+, NTC, NTC-, BAT-; E.2) hasta J1 (JST VH): cambio de celda sin desarmar.
FS8205A: pinout TECH PUBLIC (drenaje en 2 y 5), no intercambiable entre fabricantes. Celda SIEMPRE con PCM propia.

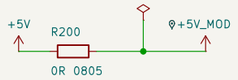
K1 Decision de Matias (20-sep): Li-ion 1S 18650 dentro del gabinete (C1 de rev D: la SLA no cargaba). Celda 3000 mAh con PCM (compra local; placa sin celda: UN38.3).
Autonomia rev E.1 (M6 del verificador, con perdidas): +5V_SYS = S3 sin WiFi 60 mA + sensores 20 mA a 5,06 V = 0,40 W / 0,88 = 0,46 W; modem registrado 25 mA a 4 V + un reporte de 20 s a 0,5 A cada 5 min = 0,23 W / 0,9 / 0,9 = 0,28 W; total 0,74 W -> 3 Ah x 3,6 V x 0,8 = 8,6 Wh / 0,74 W = 11,6 h (objetivo >= 4 h); a -10 C (70 % de capacidad) ~8 h. Con un rele activo (E.2: G2RL 80 mA a 5,06 V / 0,88 = 0,46 W mas): 7,2 h.

K2 Power path (BQ24075): con red OUT = +5V_MOD (el buck) y la carga no pasa por la celda; sin red OUT = VBAT y el TPS61023 sube a 5,06 V. +5V_SYS lleva SOLO el S3 (LDO), sensores, buzzer y reles (0,55 A max = 1,05 A de la celda a 3,0 V < 1,77 A del limite del TPS61023). El modem NO cuelga de +5V_SYS (rev E.1, K2): tiene su TPS61252 desde +5V o +VBAT. Carga 0,89 A (ISET), ILIM 1,07 A, timer 6,3 h.

K3 Riesgo Li-Ion y mitigacion (decisiones del Director, E.1): (a) NO carga bajo 0 C: el NTC en TS inhibe la carga (comportamiento correcto: descarga si); (b) corte en caliente ~51 C (V_HOT 300 mV / 75 uA = 4,0 k de B3380 = 51,2 C; E.2: con retorno propio TS no suma el offset de B-), no 45; (c) el gabinete se instala en TABLERO, fuera de la camara y fuera de la intemperie: (d) sobrecarga BQ 4,2 V + DW01A 4,3 V + PCM; (e) sobredescarga DW01A 2,5 V + firmware apaga a 3,3 V; (f) sobrecorriente DW01A 130-170 mV / 20 ms.

K4 M-10: IN 6,4 V abs (5 V del buck: ok; USB 5,25 V ok); OUT/BAT 4,2 V; FS8205A 20 V 6 A; TPS61023 SW 6 V abs (Vout 5,06); C5 10 uF; J1 JST VH 10 A vs 2,5 A de pico; Q2 AO3415A -20 V / Vgs +-8 V (4,2 V: 52 %). Sin red y sin celda: +5V_SYS = 0. E.2 (N-M1): NTC con retorno PROPIO (J1.3 a GND): en E.1 volvia por B-, 58 mV sobre GND cargando (FS8205A + cable + contacto) y el corte caliente real quedaba en ~58 C. Ahora TS = 75 uA x R_NTC: 51 C. E.2 (N-M3): celda crimpada al reves -> Q2 abierta, el BQ24075 (BAT abs -0,3 V) no la ve; se detecta porque sin red la placa no enciende (PRUEBA paso 6).

K5 Que cae sin red: la sirena (+VIN 24 V) y los lazos 4-20 mA. Sigue: S3, reles (+5V_SYS, E.1: la transferencia al grupo funciona en el corte), 4G (TPS61252 desde la celda), sensores, RTC, buzzer, LED RGB. VIN_SENSE < 15 V = corte de red; ~PGOOD (P4 del PCF8574) lo confirma.



Rn00: 0R = corte y medicion del bloque
I esp. hasta 1,07 A (ILIM); 0805 de 2 A: 54 %

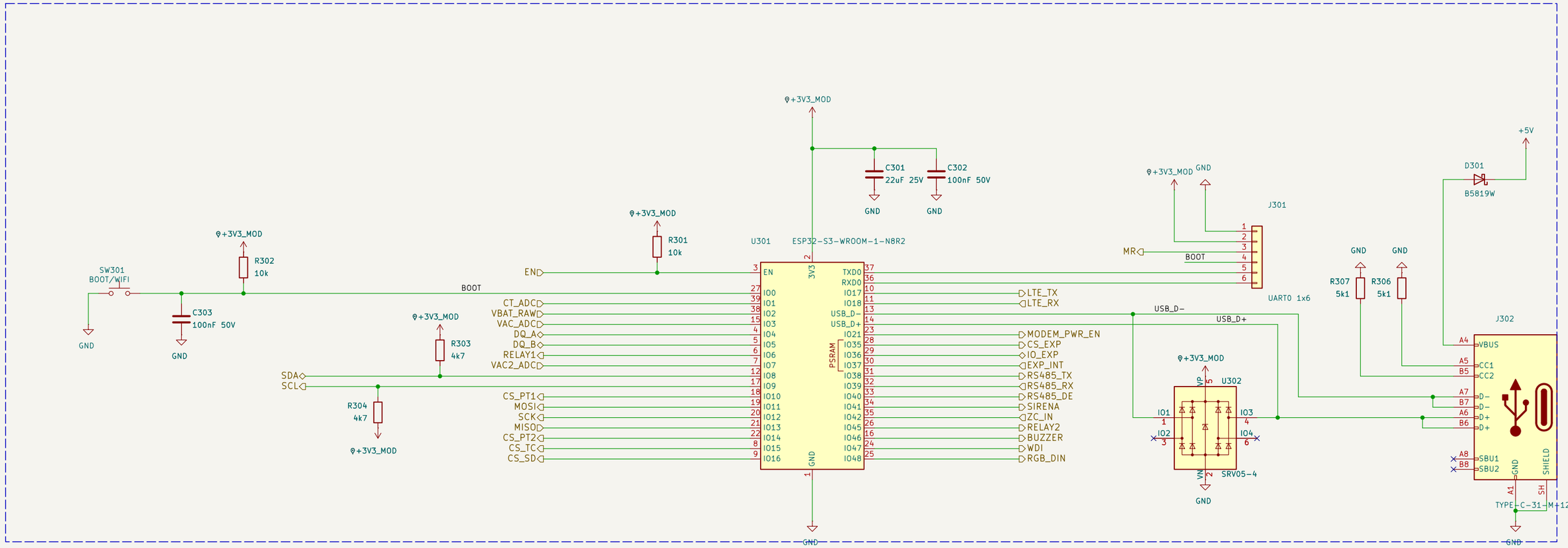
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /RESPALDO_LIION/
File: respaldo_liion_1s_v1.kicad_sch

Title: respaldo_liion_1s_v1 - cargador BQ24075, proteccion, 18650, boos

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 4/33

MCU ESP32-S3-WROOM-1-N8R2 + USB-C NATIVO (programacion y consola) + ESD + BOTON BOOT + HEADER UART0 | mcu_esp32s3_wroom1_prog_v1



K1 Por que S3 y no WROOM-32E: con todos los bloques hacen falta 30 GPIO nativos + 8 por expansor; el ESP32 clasico tiene 24 utilizables (4 solo-entrada). El S3 tiene 33 y USB nativo: salen el CH340C, 2 transistores y 4 R.

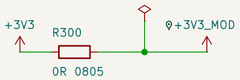
K2 Variante N8R2 (8 MB flash + 2 MB PSRAM QUAD): la PSRAM quad no toca IO35/36/37 (la octal de N8R8/N16R8 si). 8 MB = 2 apps OTA de 3 MB + 1,5 MB de LittleFS = 16 dias de registros a 64 B/min.

K3 Strapping (rev E.1, A1 del verificador): IO0 BOOT (pull-up); IO46 = BUZZER (2k2 + 10k B-E = 12k2 a GND: lee 0 en el reset -> la descarga por UART0/USB funciona); IO45 = RELAY2 (idem, VDD_SPI 3,3 V); IO3 = VAC_ADC (JTAG_SEL solo con eFuse). El cruce por cero (comparador, siempre manejado) paso de IO46 a IO42; la WDI del TPS3823 NO va a un strapping (su pin inyecta 140-190 uA y pulsos). IO19/20 USB, IO43/44 UART0.

K4 USB (M-02 aplica): par D+/D- de 90 ohm diferencial. JLC04161H-7628, capa exterior sobre plano GND en L2: H 0,2104 mm, er 4,4, T 0,035 mm -> W / S en DISENO.md 6. Largo < 40 mm, sin vias ni stubs: la toma de U2 va SOBRE el par.

K5 Banco 15-sep: el S3 quedaba en bootloader tras flashear y el COM cambiaba. Por eso: botones RESET (hoja SUPERVISOR) y BOOT obligatorios, y J1 (UART0) como via de recuperacion que no depende del USB nativo.

AISLACION DE RIEL (rev D)



Rn00: 0R = corte y medicion del bloque
I esp. 20 mA modem-sleep; 95 mA RX; 355 mA pico TX

Biblioteca: mcu_esp32s3_wroom1_prog_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17). Decision de Matias 17-sep: 'vamos por el S3'. Circuito de referencia del datasheet del ESP32-S3-WROOM-1 (seccion Peripheral Schematics) sin el RC de EN (lo reemplaza el supervisor).

PROBADO: NO probado en hardware. Matias uso un S3 DevKit en el banco del 15-sep (USB nativo: queda en bootloader, hay que apretar RESET).

USO: instanciar 1 vez. Todas las senales salen por pines jerarquicos con el nombre de la funcion; el mapa GPIO vive en hoja_mcu.py (dict GPIO) y PINOUT.md se genera de ahi.

DEPENDE: +3V3, +5V, GND; supervisor_tps3823_v1 (maneja EN y recibe MR).

GOTCHAS: N8R2 (PSRAM quad): si se cambia a N8R8/N16R8 (octal) se pierden IO35-37 (CS_EXP, IO_EXP, EXP_INT). Strapping IO0/IO3/IO45/IO46: solo cargas que dejan el nivel de reset (K3). El firmware v3.1 es de ESP32 clasico: portar con #define HW_TERMOVIGIA_V3.

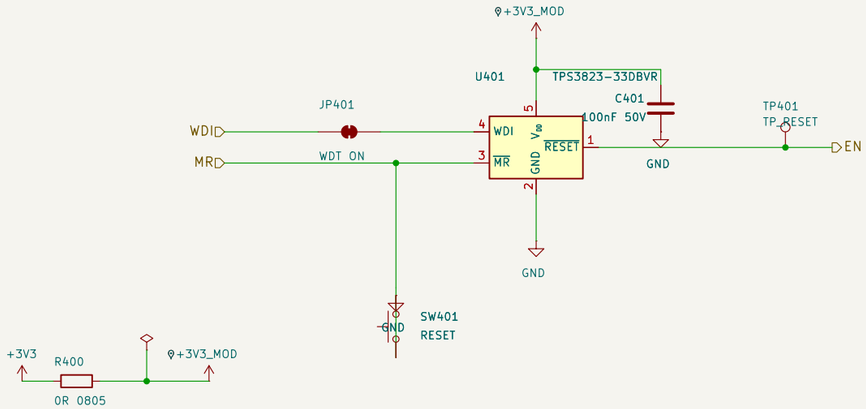
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /MCU_ESP32S3/
File: mcu_esp32s3_wroom1_prog_v1.kicad_sch

Title: mcu_esp32s3_wroom1_prog_v1 - ESP32-S3-WROOM-1-N8, USB-C,

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 5/33

SUPERVISOR DE TENSION + WATCHDOG EXTERNO + BOTON RESET | supervisor_tps3823_v1



Rn00: 0R = corte y medicion del bloque
I esp. 10 uA (TPS3823 5 uA tip.)

Biblioteca: supervisor_tps3823_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17). Circuito de la hoja de datos TI SLVS165O (TPS3823-33: reset 200 ms, WDT 1,6 s, MR con pull-up).

PROBADO: NO probado en hardware. Premisa 'WDI al aire = watchdog deshabilitado' verificada en el PDF por @verificador (rev A).

USO: una instancia. EN (salida push-pull) al EN del MCU; WDI desde un GPIO; MR desde el boton y el header UART0.

DEPENDE: +3V3, GND.

GOTCHAS: nunca conectar el boton ni el header a EN (cortocircuitarian la salida push-pull): van a MR. JP1 cortado = sin watchdog.

K1 Por que un supervisor externo si el S3 tiene RWDT y brown-out: (a) flanco limpio de EN con fuentes lentas (arranque del buck + LDO): RESET se suelta 200 ms DESPUES de 2,93 V; (b) el watchdog externo no depende del firmware ni del reloj del S3: si el chip queda colgado con el RWDT deshabilitado (bug, OTA a medias) igual resetea; (c) un equipo de alarma que se cuelga en silencio es el peor modo de falla del producto.

K2 WDI: el firmware conmuta IO47 cada <= 0,8 s (timeout 1,6 s tip., 0,9 s min). Con IO47 en alta impedancia (boot, descarga de firmware) el TPS3823 DESHABILITA el watchdog: no interrumpe un flasheo. La tarea que conmuta WDI es la de supervision (la que chequea sondas + red), no un timer.

K3 RESET push-pull maneja EN directo (R1 10k del MCU queda en paralelo, sin efecto). El boton y el pin RST del header van a MR, NUNCA a EN (cortocircuitarian la salida).

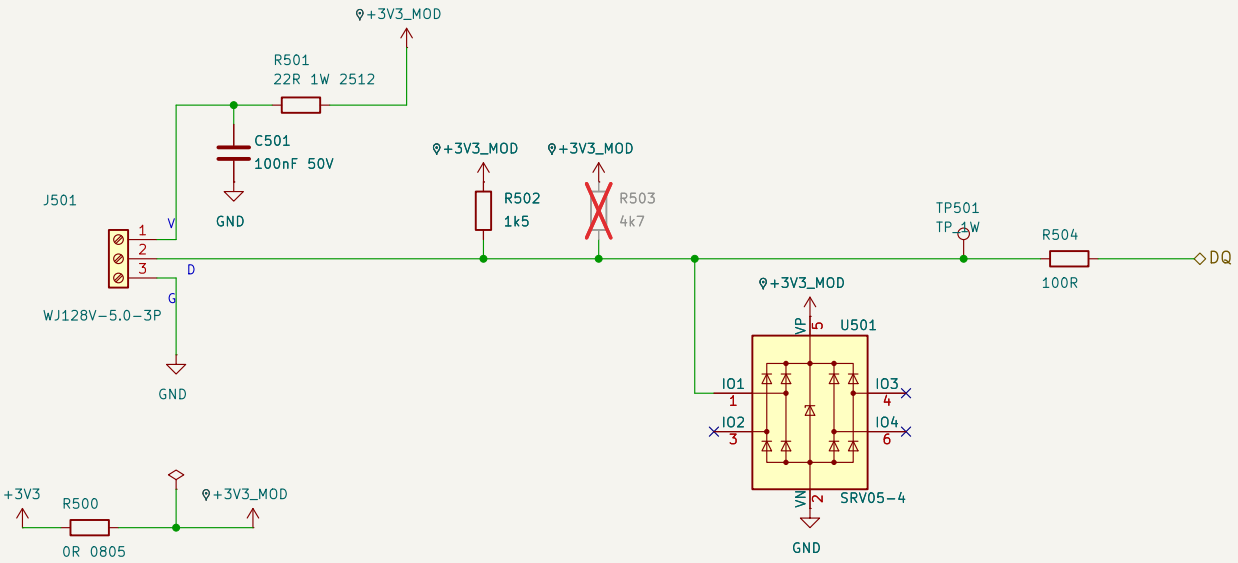
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) — Termovigia

Sheet: /SUPERVISOR_WDT/
File: supervisor_tps3823_v1.kicad_sch

Title: supervisor_tps3823_v1 — reset, watchdog externo, boton RESET

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 6/33

BUS 1-WIRE PROTEGIDO (DS18B20, FRIO) | bus_1wire_protegido_v1



Rn00: 0R = corte y medicion del bloque
I esp. < 5 mA (3 sondas convirtiendo 1,5 mA c/u + pull-up 1k5)

K1 Pull-up: el que muestrea es el S3 (VIH 0,75 x 3,3 = 2,48 V): t = 1,386 x R x C.
37 m Cat5e (56 pF/m) + 3 sondas = 2,15 nF: 1k5 -> 4,5 us (margen 2,2x sobre los 10 us de OneWire). 4k7 -> 14 us: NO anda.
La sonda hunde 3,3/1k5 = 2,2 mA de los 4 mA que garantiza a 0,4 V (1,8x).

K2 Un bus por camara / reefer: nunca dos troncos en el mismo pin (estrella en el master = reflexiones).
Cadena con stubs <= 3 m. Hasta 8 sondas: 8 x 1,5 mA x 22 ohm = 0,26 V -> 3,04 V en la sonda (min 3,0 V).

K3 M-10: R1 ve 3,3 V en corto = 0,5 W -> 2512 de 1 W.
SRV05-4: +-8 kV contacto (IEC 61000-4-2).
0xB4 (Read Power Supply) detecta una sonda sin VCC (modo parasito): el firmware lo chequea al arrancar.

Biblioteca: bus_1wire_protegido_v1

ORIGEN: Termovigia Mini bloque 2 (2k2 + 100R + TVS P6KE6.8CA + clamps 1N4148), rev: pull-up 1k5 por el banco del 2026-09-15 y TVS de 1 nF reemplazado por SRV05-4 (pendiente anotado el 2026-09-08).
PROBADO: topologia R serie + pull-up: Mini y Mini LITE en banco, 37 m en cadena, 0 errores de CRC (2026-09-15). El SRV05-4 en este bus: NO probado.
USO: una instancia por bus. Pin jerarquico DQ a un GPIO con OneWire. Bornera V-D-G.
DEPENDE: +3V3, GND.
GOTCHAS: no bajar el pull-up de 1 k (VOL de la sonda). El cable: DQ y GND en el MISMO par trenzado.

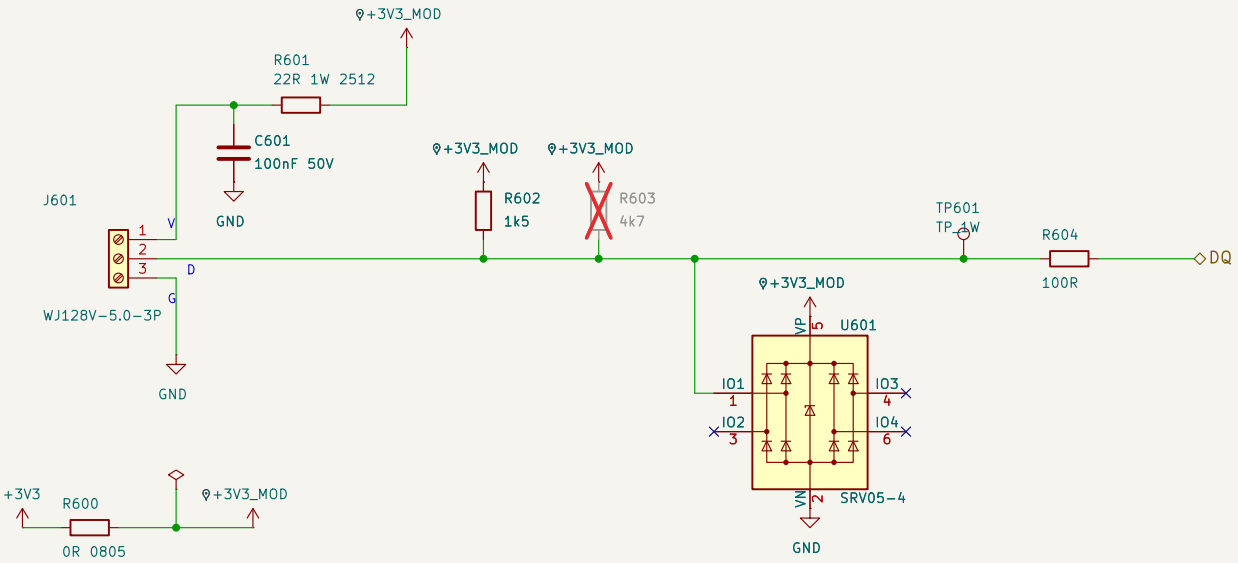
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /1WIRE_A/
File: bus_1wire_protegido_v1.kicad_sch

Title: bus_1wire_protegido_v1 - DS18B20 (frio)

Size: A4 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 7/33

BUS 1-WIRE PROTEGIDO (DS18B20, FRIO) | bus_1wire_protegido_v1



Rn00: 0R = corte y medicion del bloque
I esp. < 5 mA (3 sondas convirtiendo 1,5 mA c/u + pull-up 1k5)

K1 Pull-up: el que muestrea es el S3 (VIH 0,75 x 3,3 = 2,48 V): t = 1,386 x R x C.
37 m Cat5e (56 pF/m) + 3 sondas = 2,15 nF: 1k5 -> 4,5 us (margen 2,2x sobre los 10 us de OneWire). 4k7 -> 14 us: NO anda.
La sonda hunde 3,3/1k5 = 2,2 mA de los 4 mA que garantiza a 0,4 V (1,8x).

K2 Un bus por camara / reefer: nunca dos troncos en el mismo pin (estrella en el master = reflexiones).
Cadena con stubs <= 3 m. Hasta 8 sondas: 8 x 1,5 mA x 22 ohm = 0,26 V -> 3,04 V en la sonda (min 3,0 V).

K3 M-10: R1 ve 3,3 V en corto = 0,5 W -> 2512 de 1 W.
SRV05-4: +-8 kV contacto (IEC 61000-4-2).
0xB4 (Read Power Supply) detecta una sonda sin VCC (modo parasito): el firmware lo chequea al arrancar.

Biblioteca: bus_1wire_protegido_v1

ORIGEN: Termovigia Mini bloque 2 (2k2 + 100R + TVS P6KE6.8CA + clamps 1N4148), rev: pull-up 1k5 por el banco del 2026-09-15 y TVS de 1 nF reemplazado por SRV05-4 (pendiente anotado el 2026-09-08).
PROBADO: topologia R serie + pull-up: Mini y Mini LITE en banco, 37 m en cadena, 0 errores de CRC (2026-09-15). El SRV05-4 en este bus: NO probado.
USO: una instancia por bus. Pin jerarquico DQ a un GPIO con OneWire. Bornera V-D-G.
DEPENDE: +3V3, GND.
GOTCHAS: no bajar el pull-up de 1 k (VOL de la sonda). El cable: DQ y GND en el MISMO par trenzado.

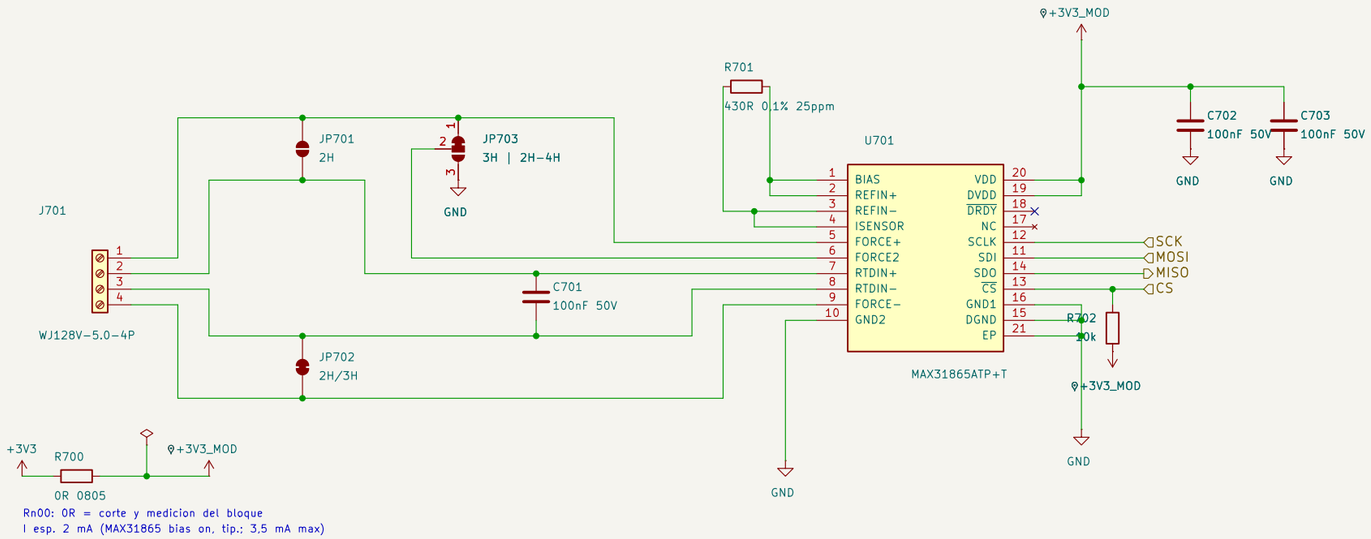
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /1WIRE_B/
File: bus_1wire_protegido_v1.kicad_sch

Title: bus_1wire_protegido_v1 - DS18B20 (frio)

Size: A4 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 8/33

ENTRADA PT100 / PT1000 DE 2, 3 O 4 HILOS (CALOR, −200...+600 C) | pt100_max31865_v1



Rn00: 0R = corte y medicion del bloque
I esp. 2 mA (MAX31865 bias on, tip.; 3,5 mA max)

Biblioteca: pt100_max31865_v1

ORIGEN: nuevo en Termovigia v3 (2026−09−17). Circuito tipico de la hoja de datos del MAX31865 + esquema de puentes del breakout Adafruit 3328 (2/3/4 hilos).
PROBADO: NO probado en hardware por nosotros. El circuito es el del breakout comercial (miles en campo).
USO: una instancia por canal. SPI modo 1 o 3. CS propio por instancia. Bornera F+ / RTD+ / RTD− / F−.
DEPENDE: +3V3, GND, bus SPI compartido (SCK, MOSI, MISO).
GOTCHAS: RREF fija el rango (PT1000 = 4k3). Cable de RTD lejos de los reles. Pines a verificar contra el PDF (K4).

K1 Medicion ratiometrica: codigo = 32768 x R_RTD / RREF. El error de RREF entra directo: 0,1 % de 430 = 0,43 ohm = 1,1 C a 0 C −> por eso 0,1 % y 15 ppm/C (M−10: 'galga 0,1 % −> R 0,1 %'). Con 1 % serian 11 C.
Resolucion 430/32768 = 0,013 ohm = 0,034 C. PT100 a +600 C = 313,7 ohm < 430: entra todo el rango. Autocalentamiento: I = 2,0 V / (430 + 100) = 3,8 mA solo durante la conversion (BIAS gateado por firmware).

K2 Puentes de soldadura (JLC no los toca: salen de fabrica en 3 HILOS, el caso industrial comun):
3 hilos: JP1 abierto, JP2 cerrado, JP3 1−2. 2 hilos: cerrar JP1, JP3 a 2−3. 4 hilos: cortar JP2, JP3 a 2−3. Y el bit 3−wire del registro de configuracion.

K3 Mercado (por que PT100 poblado y termocupla DNP): hornos de panaderia 180−280 C, secaderos 40−90 C, calderas 80−180 C, autoclaves 121−134 C: todo dentro de PT100 clase B (+−0,3 C a 0 C) con vaina de acero de USD 8−15.
La termocupla K (+−2 C) solo gana por encima de 600 C (hornos ceramicos, tratamiento termico): se puebla a pedido.

K4 NUMERACION DE PINES DEL MAX31865: tomada de la tabla Pin Description (TQFN−20). El PDF oficial no se pudo bajar el 2026−09−17: @verificador la coteja antes del layout (DISENO.md, pendiente P1).

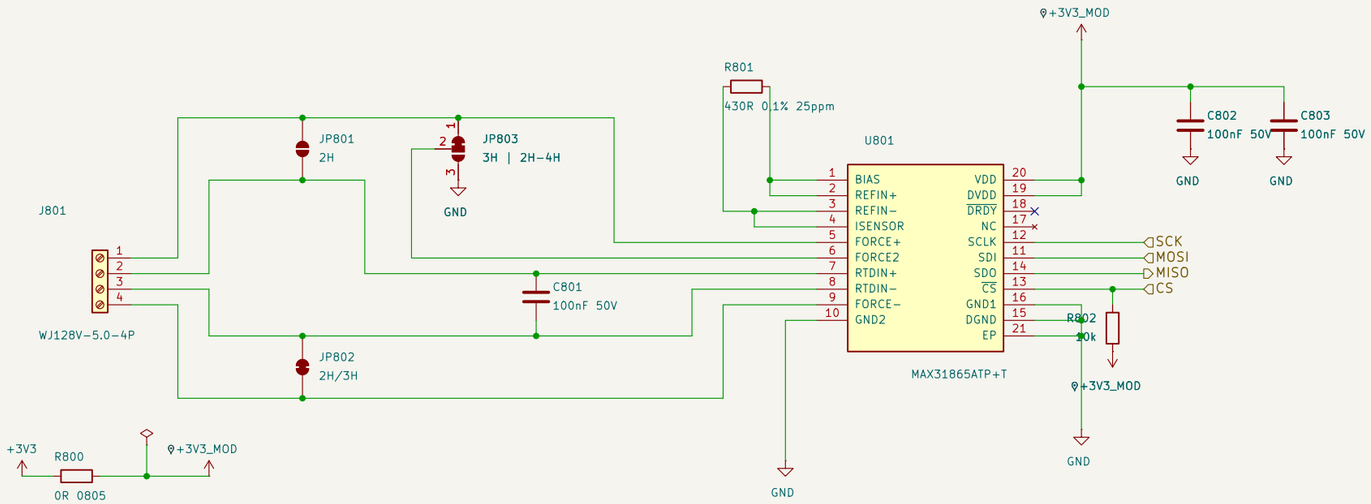
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M−03): ver ficha en la hoja
Pandemonium (PNDM) − Termovigia

Sheet: /PT100_1/
File: pt100_max31865_v1.kicad_sch

Title: pt100_max31865_v1 − RTD 2/3/4 hilos (calor)

Size: A3	Date: 2026−09−21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 9/33

ENTRADA PT100 / PT1000 DE 2, 3 O 4 HILOS (CALOR, −200...+600 C) | pt100_max31865_v1



Rn00: 0R = corte y medicion del bloque
I esp. 2 mA (MAX31865 bias on, tip.: 3,5 mA max)

Biblioteca: pt100_max31865_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17). Circuito tipico de la hoja de datos del MAX31865 + esquema de puentes del breakout Adafruit 3328 (2/3/4 hilos).
PROBADO: NO probado en hardware por nosotros. El circuito es el del breakout comercial (miles en campo).
USO: una instancia por canal. SPI modo 1 o 3. CS propio por instancia. Bornera F+ / RTD+ / RTD− / F−.
DEPENDE: +3V3, GND, bus SPI compartido (SCK, MOSI, MISO).
GOTCHAS: RREF fija el rango (PT1000 = 4k3). Cable de RTD lejos de los reles. Pines a verificar contra el PDF (K4).

K1 Medicion ratiometrica: codigo = 32768 x R_RTD / RREF. El error de RREF entra directo: 0,1 %
de 430 = 0,43 ohm = 1,1 C a 0 C -> por eso 0,1 % y 15 ppm/C (M-10: 'galga 0,1 % -> R 0,1 %'). Con 1 % serian 11 C.
Resolucion 430/32768 = 0,013 ohm = 0,034 C. PT100 a +600 C = 313,7 ohm < 430: entra todo el rango. Autocalentamiento: I = 2,0 V / (430 + 100) = 3,8 mA solo durante la conversion (BIAS gateado por firmware).

K2 Puentes de soldadura (JLC no los toca: salen de fabrica en 3 HILOS, el caso industrial
comun):
3 hilos: JP1 abierto, JP2 cerrado, JP3 1-2. 2 hilos: cerrar JP1, JP3 a 2-3. 4 hilos: cortar JP2, JP3 a 2-3. Y el bit 3-wire del registro de configuracion.

K3 Mercado (por que PT100 poblado y termocupla DNP): hornos de panaderia 180-280 C, secaderos
40-90 C, calderas 80-180 C, autoclaves 121-134 C: todo dentro de PT100 clase B (+-0,3 C a 0 C) con vaina de acero de USD 8-15.
La termocupla K (+-2 C) solo gana por encima de 600 C (hornos ceramicos, tratamiento termico): se puebla a pedido.

K4 NUMERACION DE PINES DEL MAX31865: tomada de la tabla Pin Description (TQFN-20). El PDF
oficial no se pudo bajar el 2026-09-17: @verificador la coteja antes del layout (DISENO.md, pendiente P1).

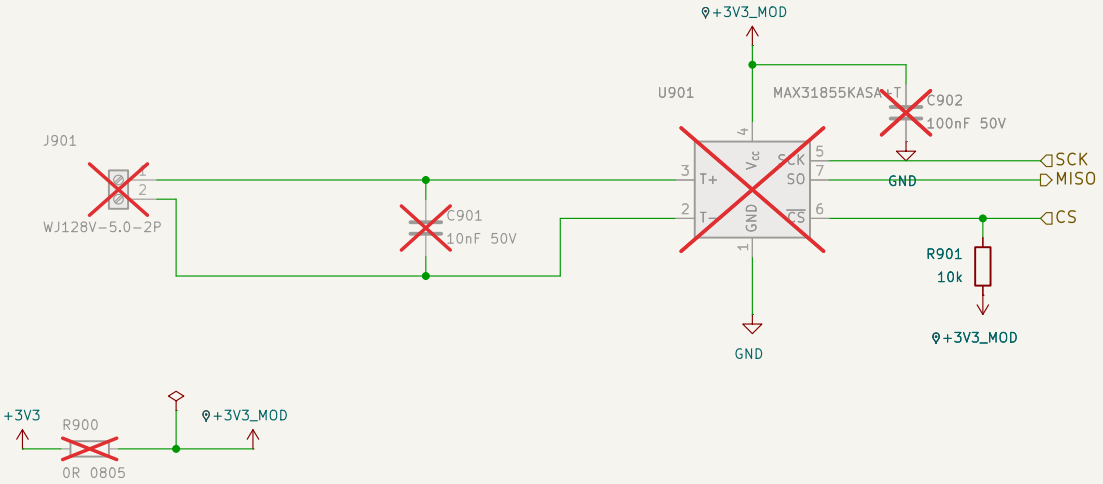
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) — Termovigia

Sheet: /PT100_2/
File: pt100_max31865_v1.kicad_sch

Title: pt100_max31865_v1 — RTD 2/3/4 hilos (calor)

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 10/33

ENTRADA TERMOCUPLA TIPO K (> 600 C) — NO POBLADA EN LA PRIMERA TANDA | termocupla_k_max31855_v1



Rn00: 0R = corte y medicion del bloque
I esp. 1 mA (MAX31855 0,9 mA tip., 1,5 max)

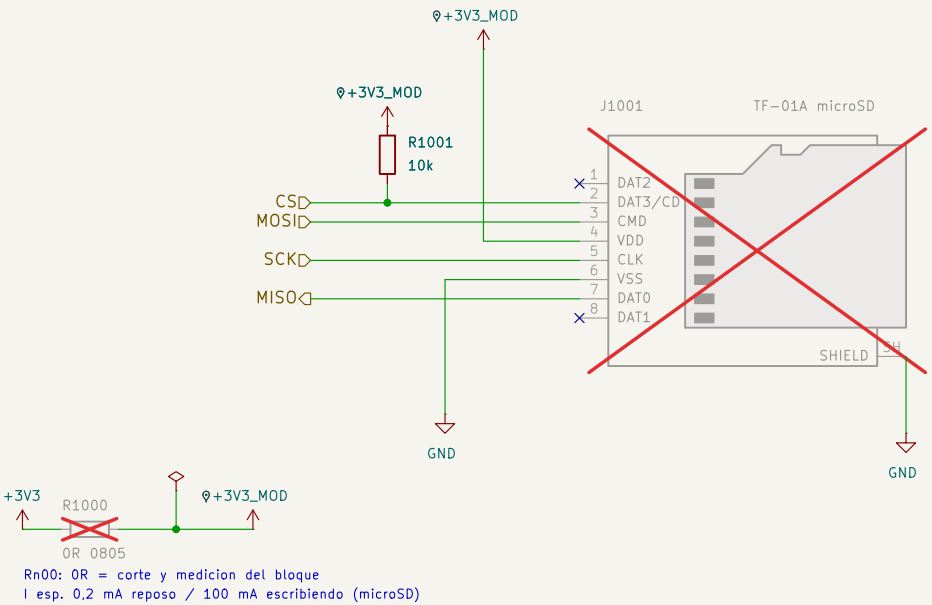
K1 Por que existe y por que DNP: la PT100 cubre hasta +600 C con +−0,5 C. La termocupla K llega a +1200 C con +−2 C: hornos ceramicos, fundicion, tratamiento termico. Es < 10 % del mercado objetivo.
Costo de poblarla: MAX31855 USD 2,9 + bornera. La huella queda en la placa: se suelda a mano o se pide en la tanda siguiente.

K2 La junta fria es el propio chip: va LEJOS del buck, del LDO y de los reles, con la bornera pegada (gradiente termico = error directo).
T− NO se pone a masa (el chip detecta corto a GND / VCC y cable abierto). MISO es tri-state: comparte el bus SPI.

Biblioteca: termocupla_k_max31855_v1
ORIGEN: nuevo en Termovigia v3 (2026-09-17). Circuito tipico de la hoja de datos del MAX31855.
PROBADO: NO probado en hardware.
USO: una instancia por termocupla. SPI solo lectura (sin MOSI), CS propio.
DEPENDE: +3V3, GND, SCK y MISO del bus SPI.
GOTCHAS: todos los componentes con DNP = yes: no salen en el pick&place. Cable de extension tipo K hasta la bornera.

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) — Termovigia
Sheet: /TERMOCUPLA_K/
File: termocupla_k_max31855_v1.kicad_sch
Title: termocupla_k_max31855_v1 — termocupla K (DNP)
Size: A4 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 11/33

MEMORIA PARA LECTURAS SIN CONEXION: FLASH DEL S3 (POBLADO) + ZOCALO microSD (DNP) | memoria_microsd_v1



Rn00: 0R = corte y medicion del bloque
I esp. 0,2 mA reposo / 100 mA escribiendo (microSD)

Biblioteca: memoria_microsd_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17).
PROBADO: NO probado en hardware.
USO: una instancia. SPI compartido + CS propio. Todos los componentes DNP.
DEPENDE: +3V3, GND, bus SPI.
GOTCHAS: el zocalo Hirose de la huella es de referencia: @pcb la reemplaza por la del TF-01A (LCSC C91145) si difiere.

K1 Cuanta memoria hace falta: un registro = hora (4 B) + 16 sondas x 2 B + 2 PT100 x 2 B + 2 lazos x 2 B + estados (4 B) + CRC = 64 B por minuto = 92 kB/dia.
Flash del S3-N8: particion LittleFS de 1,5 MB = 16 dias sin conexion. Desgaste: 92 kB/dia sobre 1,5 MB con nivelado = 1 borrado cada 16 dias por bloque -> 100 000 ciclos = miles de anios.

K2 Decision: la flash del modulo ALCANZA para el caso de uso (cortes de internet de horas o dias; el historico legal vive en la nube). POBLADO = nada extra.
microSD (DNP): para el cliente que pide 'caja negra' de un anio (33 MB) o retiro manual de datos. FRAM descartada: 256 kbit = 8 h de registros por USD 2.

K3 Si se puebla: tarjeta industrial, SPI a <= 10 MHz, CS en IO16. La tarjeta es el componente menos confiable del equipo: por eso no va por defecto.

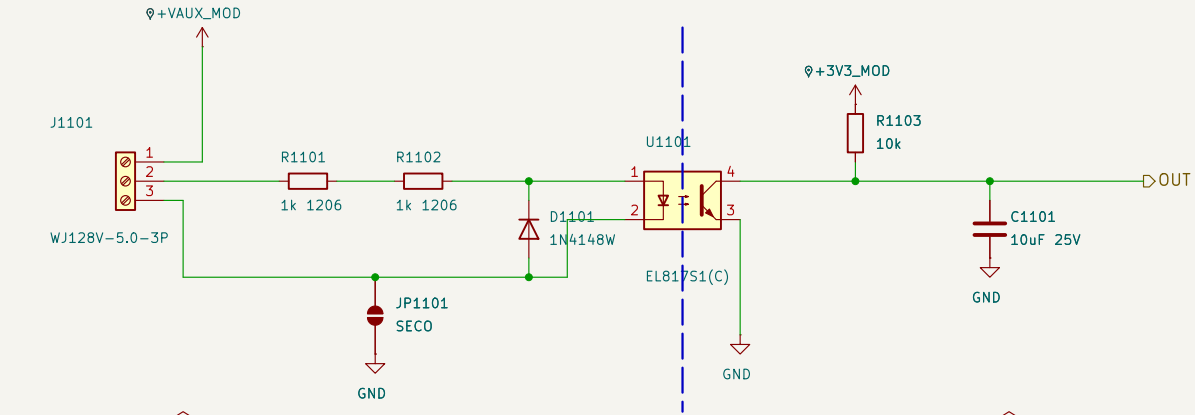
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /MICROSD/
File: memoria_microsd_v1.kicad_sch

Title: memoria_microsd_v1 - registros sin conexion (DNP)

Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 12/33

ENTRADA DIGITAL AISLADA 12–24 V DC/AC O CONTACTO SECO (PC817) | entrada_digital_aislada_v1



Rn00: 0R = corte y medicion del bloque
I esp. 5,4 mA a 12 V / 11,4 mA a 24 V por entrada activa

Rn90: 0R = corte y medicion del bloque
I esp. 0,3 mA con la entrada activa (pull-up 10k)

K1 IF = (V − 1,2) / 2k: 12 V –> 5,4 mA, 24 V –> 11,4 mA. CTR >= 50 % –> Ic >= 2,7 mA >> 0,33 mA del pull-up: satura (< 0,2 V). Senal presente = OUT en 0.

K2 M-10: a 24 V cada R disipa 11,4 mA^2 x 1k = 0,13 W –> 1206 de 0,25 W (52 %). Con una sola R de 2k2 0603 (0,1 W) se quemaria: por eso dos.

K3 CA 24 V: media onda por D1; el hueco de 10 ms carga C1 solo a 3,3 x (1 − e^−0,1) = 0,33 V < VIL: OUT queda en 0 estable. Al soltar, sube a VIH en tau x ln4 = 140 ms.

K4 Contacto seco: cablear +VAUX (1) –> contacto –> IN+ (2) y cerrar JP1 (IN− a GND). 220 VAC NUNCA entra aca: rele auxiliar externo.

Usos tipicos: puerta (reed), defrost del reefer, falla de compresor, presostato. 4 instancias (M-05: maximo 8, las otras 4 por expansion I2C).

Biblioteca: entrada_digital_aislada_v1

ORIGEN: Termovigia Base v2 hoja 2 bloque 3 y Mini bloque 7 (PC817 + 2k2 0,5 W + 1N4148 + RC 100 ms), con la R partida en 2 x 1206, el puente de contacto seco y el opto en SMD (EL817S1, rev C: saca 4 THT).

PROBADO: circuito PC817 + RC: dibujado y auditado en v2/Mini; en hardware solo la version de v1_modulos (kit cableado, Cerro Moro). JP1: nuevo.

USO: una instancia por entrada. Pin OUT (activo bajo, 3,3 V) a un GPIO o a un pin del PCF8574.

DEPENDE: +3V3, GND, +VAUX (solo si se usa contacto seco).

GOTCHAS: creepage >= 6 mm bajo el PC817; las pistas de J1/R1/R2/D1 no cruzan la barrera.

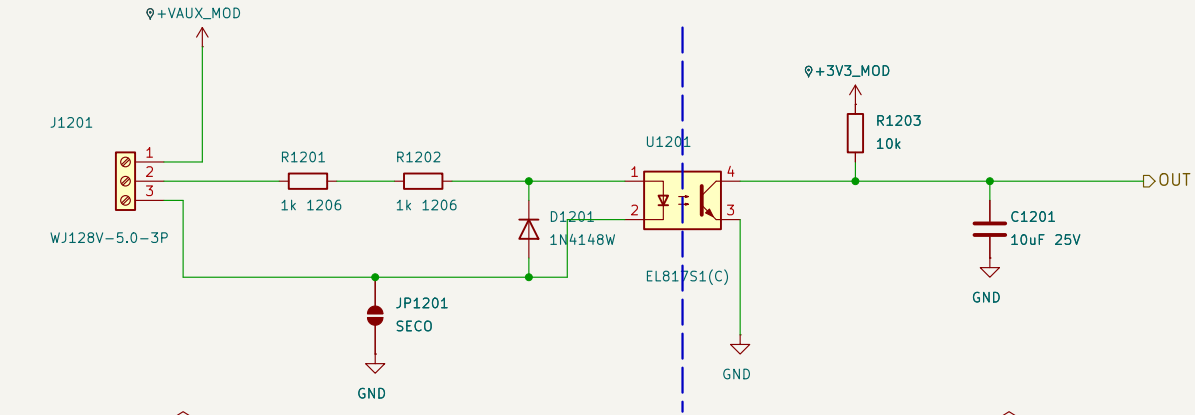
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) – Termovigia

Sheet: /ENTRADA_1/
File: entrada_digital_aislada_v1.kicad_sch

Title: entrada_digital_aislada_v1 – PC817, 12–24 V o contacto seco

Size: A4 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 13/33

ENTRADA DIGITAL AISLADA 12–24 V DC/AC O CONTACTO SECO (PC817) | entrada_digital_aislada_v1



Rn00: 0R = corte y medicion del bloque
I esp. 5,4 mA a 12 V / 11,4 mA a 24 V por entrada activa

Rn90: 0R = corte y medicion del bloque
I esp. 0,3 mA con la entrada activa (pull-up 10k)

K1 IF = (V − 1,2) / 2k: 12 V –> 5,4 mA, 24 V –> 11,4 mA. CTR >= 50 % –> Ic >= 2,7 mA >> 0,33 mA del pull-up: satura (< 0,2 V). Senal presente = OUT en 0.

K2 M-10: a 24 V cada R disipa 11,4 mA^2 x 1k = 0,13 W –> 1206 de 0,25 W (52 %). Con una sola R de 2k2 0603 (0,1 W) se quemaria: por eso dos.

K3 CA 24 V: media onda por D1; el hueco de 10 ms carga C1 solo a 3,3 x (1 − e^−0,1) = 0,33 V < VIL: OUT queda en 0 estable. Al soltar, sube a VIH en tau x ln4 = 140 ms.

K4 Contacto seco: cablear +VAUX (1) –> contacto –> IN+ (2) y cerrar JP1 (IN− a GND). 220 VAC NUNCA entra aca: rele auxiliar externo.

Usos tipicos: puerta (reed), defrost del reefer, falla de compresor, presostato. 4 instancias (M-05: maximo 8, las otras 4 por expansion I2C).

Biblioteca: entrada_digital_aislada_v1

ORIGEN: Termovigia Base v2 hoja 2 bloque 3 y Mini bloque 7 (PC817 + 2k2 0,5 W + 1N4148 + RC 100 ms), con la R partida en 2 x 1206, el puente de contacto seco y el opto en SMD (EL817S1, rev C: saca 4 THT).

PROBADO: circuito PC817 + RC: dibujado y auditado en v2/Mini; en hardware solo la version de v1_modulos (kit cableado, Cerro Moro). JP1: nuevo.

USO: una instancia por entrada. Pin OUT (activo bajo, 3,3 V) a un GPIO o a un pin del PCF8574.

DEPENDE: +3V3, GND, +VAUX (solo si se usa contacto seco).

GOTCHAS: creepage >= 6 mm bajo el PC817; las pistas de J1/R1/R2/D1 no cruzan la barrera.

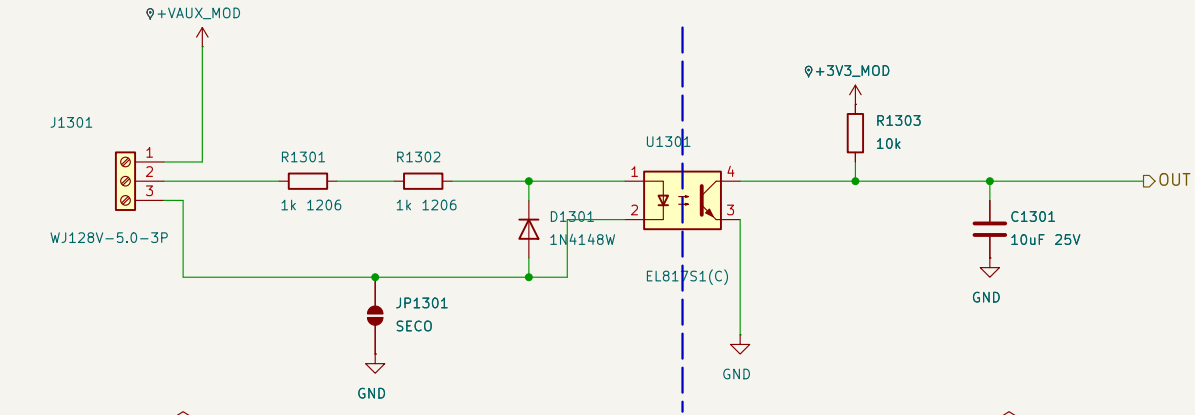
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) – Termovigia

Sheet: /ENTRADA_2/
File: entrada_digital_aislada_v1.kicad_sch

Title: entrada_digital_aislada_v1 – PC817, 12–24 V o contacto seco

Size: A4 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 14/33

ENTRADA DIGITAL AISLADA 12–24 V DC/AC O CONTACTO SECO (PC817) | entrada_digital_aislada_v1



Rn00: 0R = corte y medicion del bloque
I esp. 5,4 mA a 12 V / 11,4 mA a 24 V por entrada activa

Rn90: 0R = corte y medicion del bloque
I esp. 0,3 mA con la entrada activa (pull-up 10k)

K1 IF = (V − 1,2) / 2k: 12 V –> 5,4 mA, 24 V –> 11,4 mA. CTR >= 50 % –> Ic >= 2,7 mA >> 0,33 mA del pull-up: satura (< 0,2 V). Senal presente = OUT en 0.

K2 M-10: a 24 V cada R disipa 11,4 mA^2 x 1k = 0,13 W –> 1206 de 0,25 W (52 %). Con una sola R de 2k2 0603 (0,1 W) se quemaria: por eso dos.

K3 CA 24 V: media onda por D1; el hueco de 10 ms carga C1 solo a 3,3 x (1 − e^−0,1) = 0,33 V < VIL: OUT queda en 0 estable. Al soltar, sube a VIH en tau x ln4 = 140 ms.

K4 Contacto seco: cablear +VAUX (1) –> contacto –> IN+ (2) y cerrar JP1 (IN− a GND). 220 VAC NUNCA entra aca: rele auxiliar externo.

Usos tipicos: puerta (reed), defrost del reefer, falla de compresor, presostato. 4 instancias (M-05: maximo 8, las otras 4 por expansion I2C).

Biblioteca: entrada_digital_aislada_v1

ORIGEN: Termovigia Base v2 hoja 2 bloque 3 y Mini bloque 7 (PC817 + 2k2 0,5 W + 1N4148 + RC 100 ms), con la R partida en 2 x 1206, el puente de contacto seco y el opto en SMD (EL817S1, rev C: saca 4 THT).

PROBADO: circuito PC817 + RC: dibujado y auditado en v2/Mini; en hardware solo la version de v1_modulos (kit cableado, Cerro Moro). JP1: nuevo.

USO: una instancia por entrada. Pin OUT (activo bajo, 3,3 V) a un GPIO o a un pin del PCF8574.

DEPENDE: +3V3, GND, +VAUX (solo si se usa contacto seco).

GOTCHAS: creepage >= 6 mm bajo el PC817; las pistas de J1/R1/R2/D1 no cruzan la barrera.

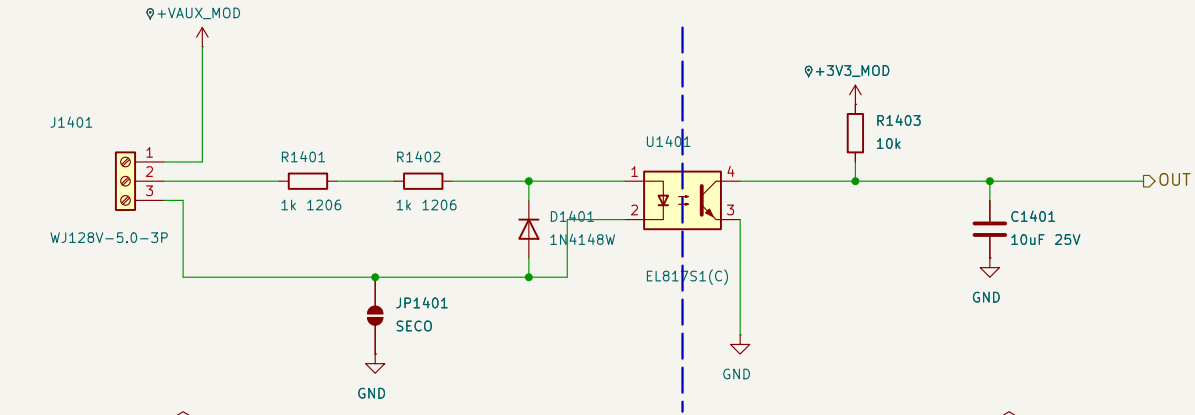
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) – Termovigia

Sheet: /ENTRADA_3/
File: entrada_digital_aislada_v1.kicad_sch

Title: entrada_digital_aislada_v1 – PC817, 12–24 V o contacto seco

Size: A4 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 15/33

ENTRADA DIGITAL AISLADA 12–24 V DC/AC O CONTACTO SECO (PC817) | entrada_digital_aislada_v1



Rn00: 0R = corte y medicion del bloque
I esp. 5,4 mA a 12 V / 11,4 mA a 24 V por entrada activa

Rn90: 0R = corte y medicion del bloque
I esp. 0,3 mA con la entrada activa (pull-up 10k)

K1 IF = (V − 1,2) / 2k: 12 V –> 5,4 mA, 24 V –> 11,4 mA. CTR >= 50 % –> Ic >= 2,7 mA >> 0,33 mA del pull-up: satura (< 0,2 V). Senal presente = OUT en 0.

K2 M-10: a 24 V cada R disipa 11,4 mA^2 x 1k = 0,13 W –> 1206 de 0,25 W (52 %). Con una sola R de 2k2 0603 (0,1 W) se quemaria: por eso dos.

K3 CA 24 V: media onda por D1; el hueco de 10 ms carga C1 solo a 3,3 x (1 − e^−0,1) = 0,33 V < VIL: OUT queda en 0 estable. Al soltar, sube a VIH en tau x ln4 = 140 ms.

K4 Contacto seco: cablear +VAUX (1) –> contacto –> IN+ (2) y cerrar JP1 (IN− a GND). 220 VAC NUNCA entra aca: rele auxiliar externo.

Usos tipicos: puerta (reed), defrost del reefer, falla de compresor, presostato. 4 instancias (M-05: maximo 8, las otras 4 por expansion I2C).

Biblioteca: entrada_digital_aislada_v1

ORIGEN: Termovigia Base v2 hoja 2 bloque 3 y Mini bloque 7 (PC817 + 2k2 0,5 W + 1N4148 + RC 100 ms), con la R partida en 2 x 1206, el puente de contacto seco y el opto en SMD (EL817S1, rev C: saca 4 THT).

PROBADO: circuito PC817 + RC: dibujado y auditado en v2/Mini; en hardware solo la version de v1_modulos (kit cableado, Cerro Moro). JP1: nuevo.

USO: una instancia por entrada. Pin OUT (activo bajo, 3,3 V) a un GPIO o a un pin del PCF8574.

DEPENDE: +3V3, GND, +VAUX (solo si se usa contacto seco).

GOTCHAS: creepage >= 6 mm bajo el PC817; las pistas de J1/R1/R2/D1 no cruzan la barrera.

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) – Termovigia

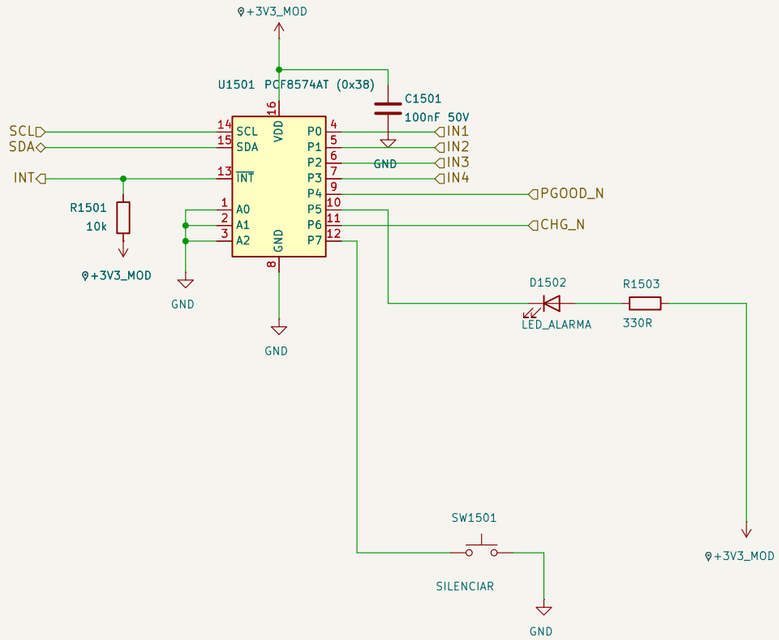
Sheet: /ENTRADA_4/
File: entrada_digital_aislada_v1.kicad_sch

Title: entrada_digital_aislada_v1 – PC817, 12–24 V o contacto seco

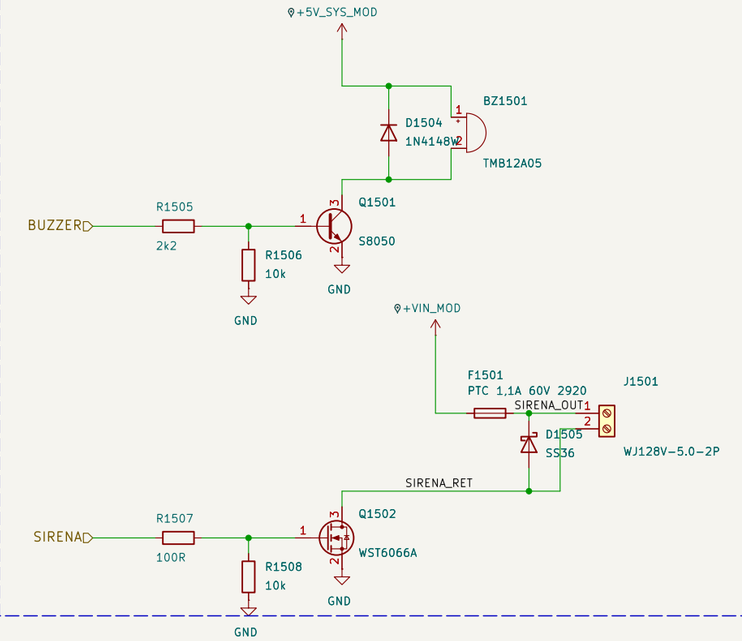
Size: A4 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 16/33

AVISOS LOCALES: EXPANSOR I2C (ENTRADAS + LED + BOTON), BUZZER, SIRENA 24 V, LED RGB | avisos_locales_pcf8574_v1

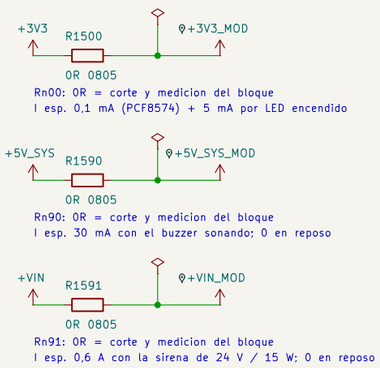
1) PCF8574AT (0x38): P0–P3 entradas aisladas, P4 ~PGOOD (hay red), P5 LED ALARMA, P6 ~CHG (cargando), P7 boton SILENCIAR



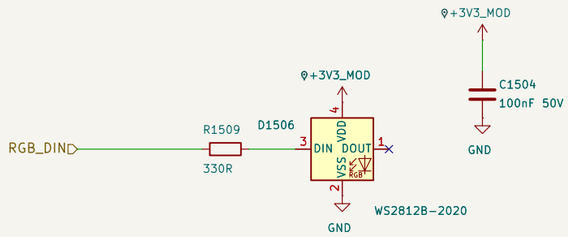
2) BUZZER 5 V (GPIO46, riel respaldado) Y SIRENA 24 V POR MOSFET (GPIO41)



3) AISLACION DE RIELES (rev D)



4) LED RGB DE ESTADO (rev E)



K1 PCF8574 en vez de 8 GPIO: los pines quasi-bidireccionales arrancan en ALTO con pull-up de 100 uA -> LEDs apagados y entradas leyendo; nada se activa en el reset. Por eso los LEDs son activo-bajo (sink 25 mA) y las salidas de potencia (buzzer, sirena, reles) NO van por el expansor.

K2 Buzzer: Q1 con 1,2 mA de base, Ic 30 mA (hFE 25); en IO46 (strapping: 2k2 + 10k B-E = 12k2 a GND lo deja en 0 en el reset). Sirena 24 V / 15 W = 0,63 A: Q2 WST6066A 120 mohm -> 48 mW; M-10: Vds 60 V vs +VIN 30 V (jack) / 48 V (clamp SMBJ30A); F1 PTC 60 V hold 1,1 A vs 0,63 A; D5 SS36 60 V. (rev E.1, A3: antes AO3400A, PTC 2 A y SS54, todos de 30-40 V.)

K3 Boton SILENCIAR: silencia buzzer y sirena de la alarma en curso; NO borra la alarma. BOOT (hoja MCU) = provision WiFi 5 s. RESET (hoja SUPERVISOR). LEDs: LED_RED (azul) = conectado; LED_ALARMA (rojo); LED_LATIDO (verde): fijo o apagado = firmware colgado. LED_PWR esta en la hoja FUENTE.

K4 LED RGB (rev E, Matias 20-sep: 'varios colores y alertas diferentes'): WS2812B-2020 en IO48 (RMT del S3), 1 GPIO, hasta 12 mA a 3,3 V (V6: VDD 3,3-5,3 V, sin diodo de nivel). Verde fijo = ok, azul = WiFi/4G, amarillo = advertencia, rojo = alarma, violeta = provision. El rojo de ALARMA fisico (D1502) sigue en el PCF8574: se ve aunque el firmware cuelgue.

K5 Redes SIRENA_OUT (F1 -> J1) y SIRENA_RET (J1 -> Q2): 0,63 A (1,1 A hasta que abre el PTC), netclass POTENCIA (patrones /AVISOS_LOCALES/SIRENA_* y /AVISOS_LOCALES/+VIN_MOD: ESTADO.md, C3).

Biblioteca: avisos_locales_pcf8574_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17). Buzzer con BC547/S8050 y B-E 10k: Mini bloque 6. Sirena por MOSFET: nuevo (en v2 iba por rele K1).

PROBADO: buzzer: Mini/kit v1 en campo. PCF8574 y sirena por MOSFET: NO probados.

USO: una instancia. IN1..IN4 desde entrada_digital_aislada_v1; BUZZER, SIRENA y RGB_DIN desde GPIO; INT al MCU (opcional, se puede sondear).

DEPENDE: +3V3, +5V, VSYS, GND, bus I2C (0x38: es un PCF8574AT, no el T).

GOTCHAS: no poner cargas de potencia en el PCF8574. Sirena de 12-24 V con consumo <= 1,5 A.

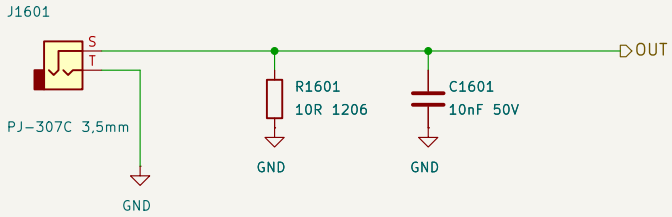
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) – Termovigia

Sheet: /AVISOS_LOCALES/
File: avisos_locales_pcf8574_v1.kicad_sch

Title: avisos_locales_pcf8574_v1 – expansor, LEDs, boton, buzzer, sirena

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 17/33

PINZA DE CORRIENTE SCT-013-000 (100 A : 50 mA) CON BURDEN A MASA -> acondicionador_analogico_v1 | sensor_sct013_v1



K1 SCT-013-000: 2000:1, sin burden interno (trae un TVS interno). Burden 10 ohm: 100 A -> 0,71 Vpk; con G = 2 del acondicionador -> 1,41 Vpk = fondo de escala 117 A rms (165 A pk; E.1, B2).

FLA de un compresor de 1 HP ~ 6 A -> 85 mVpk -> 105 LSB del ADC (12 bit, 0,8 mV/LSB): RMS y ciclo de trabajo con +-2 %; LRA 40 A -> 0,57 Vpk sin recortar.

K2 M-10: pinza abierta con el conductor energizado = el TVS interno de la pinza limita; en placa el burden esta siempre (no hay jack sin carga). R1 (50 mA)^2 x 10 = 25 mW en 1206 (250 mW).

Sin rieles: no lleva R de 0 ohm (M-21: nada que aislar). SCT_AMPS_PER_VOLT = 100 / (0,5 x 2) = 100 A/V en el ADC.

Biblioteca: sensor_sct013_v1

ORIGEN: Termovigia Base v2 hoja 2 bloque 4 (burden 33R + bias + clamps), partido en rev E: aca solo pinza + burden a masa; bias/ganancia/filtro/clamp en acondicionador_analogico_v1.

PROBADO: topologia burden-a-masa: NO probada en hardware (v2 no se fabrico).

USO: una instancia por pinza. OUT al AIN de un acondicionador_analogico_v1.

DEPENDE: GND.

GOTCHAS: nunca enchufar la pinza con el conductor energizado y el jack al aire (el TVS de la pinza se calienta). Pistas cortas y lejos de los reles.

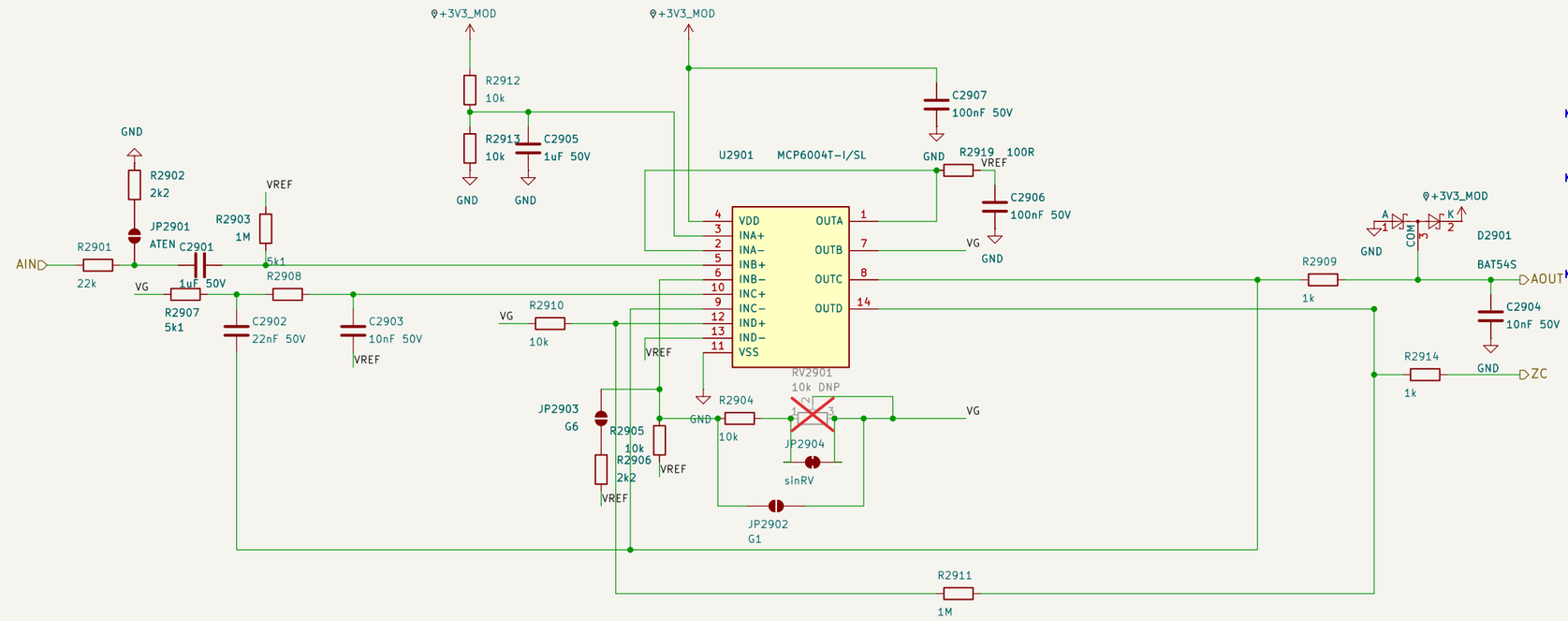
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

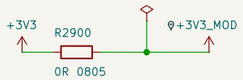
Sheet: /PINZA_SCT013/
File: sensor_sct013_v1.kicad_sch

Title: sensor_sct013_v1 - pinza SCT-013 con burden a masa

Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 18/33

ACONDICIONADOR ANALOGICO PARA EL ADC DEL S3: BIAS, GANANCIA, ANTIALIAS 2,1 kHz, CLAMP, CRUCE POR CERO (MCP6004) | acondicionador_analogico_v1





Rn00: 0R = corte y medicion del bloque
I esp. 0,6 mA (MCP6004 4 x 100 uA + divisores)

Biblioteca: acondicionador_analogico_v1

ORIGEN: nuevo en Termovigia v3 rev E (2026-09-20). Ideas: frentes analogicos de danielmartensson/stm32-plc (MIT) y Olimex ESP32-GATEWAY (Apache-2.0), leidos en la web; circuito propio.
PROBADO: NO probado en hardware. Simulado en ngspice (ganancia, respuesta del filtro, clamp, comparador): simulacion/SIMULACION.md.
USO: una instancia por senal analogica (corriente, tension de red, tension del grupo). AIN referida a GND (sensor con burden a masa). AOUT a un pin de ADC1; ZC a un GPIO de entrada (opcional).
DEPENDE: +3V3, GND.
GOTCHAS: la escala la fija el sensor: no tocar R4/R5 por canal (hoja multi-instancia). ZC solo tiene sentido en la instancia de tension de red.

K1 Objetivo (Matias 20-sep): mantenimiento predictivo del equipo que enfria: corriente de arranque (LRA 5-8 x FLA), RMS, ciclo de trabajo y forma de onda para ML. Cadena: sensor referido a GND -> R1/JP1 -> C1 -> bias 1,65 V -> B (G = 2) -> C (Sallen-Key 2,1 kHz, Q 0,74) -> R9/D1/C4 -> AOUT (0,15-3,15 V) -> ADC1 del S3.

K2 Antialias (E.2, M3): Sallen-Key f0 = 1 / (2 pi 5k1 raiz(22n x 10n)) = 2,10 kHz, Q 0,74, mas R9/C4 (15,9 kHz): |H| relativo a 50 Hz = 0,98 a 1 kHz, 0,76 a 2 kHz, 0,009 (-41 dB) a 18 kHz (simulado). fs = 20 kS/s por canal (ADC1 continuo con DMA, 3 canales = 60 kS/s < 83 kS/s del S3): lo unico que se pliega sobre 0-2 kHz viene de >= 18 kHz (-41 dB). Promesa: RMS +-3 %; armonicos hasta el 20 (1 kHz) +-3 % sin correccion; 21-40 (hasta 2 kHz) indicativos, corregidos por firmware con la curva nominal (+-10 %: C X7R +-10 %). Ventana 200 ms = 4000 muestras x 2 B = 8 kB por canal (PSRAM del N8R2).

K3 Escala: G = 2 fijo. El SENSOR fija la escala (burden): pinza 10 ohm -> 100 A rms = 1,41 Vpk (fondo 117 A rms = 165 A pk; B2 de E.1); ZMPT 680 ohm -> 220 V = 1,06 Vpk, 260 V = 1,25 Vpk, recorte a 340 V. Puentes: JP1 aten. /11, JP2 G = 1, JP3 G = 6,6, RV1 (DNP, 3296W) hasta G = 3 continuo con JP4 cortado.

K4 M-10: MCP6004 corriente en las entradas +-2 mA abs max: con +-30 Vpk en AIN, R1 22k -> (30 - 3,9) / (22k + 3,2k de C1 a 50 Hz) = 1,0 mA por sus diodos ESD (E.1, M2: con 10k eran 2,0 mA = 0 % de margen); D1 BAT54S (200 mA) clampa AOUT; C1 1 uF 50 V. Comparador D: histeresis 33 mV, salida 0 / 3,3 V a IO42 (E.1: salio de IO46, que es strapping): frecuencia de red = 1 / periodo entre flancos (timer de 1 us -> 0,005 Hz).

K5 Exactitud: G 2 +-2 % (R 1 %), offset 4,5 mV max del MCP6004 (se calibra en cero), ADC del S3 +-2 % tras calibracion de fabrica: RMS +-3 %. Para facturar energia hace falta un medidor dedicado (HLW8032 / BL0942: RMS +-0,5 % pero sin forma de onda y con la logica del lado de 220 V): descartado, DISENO.md 1.3. Etiquetas VREF / VG: son rieles locales de la hoja (22 % de las conexiones: se acepta por la densidad del cuadruple).

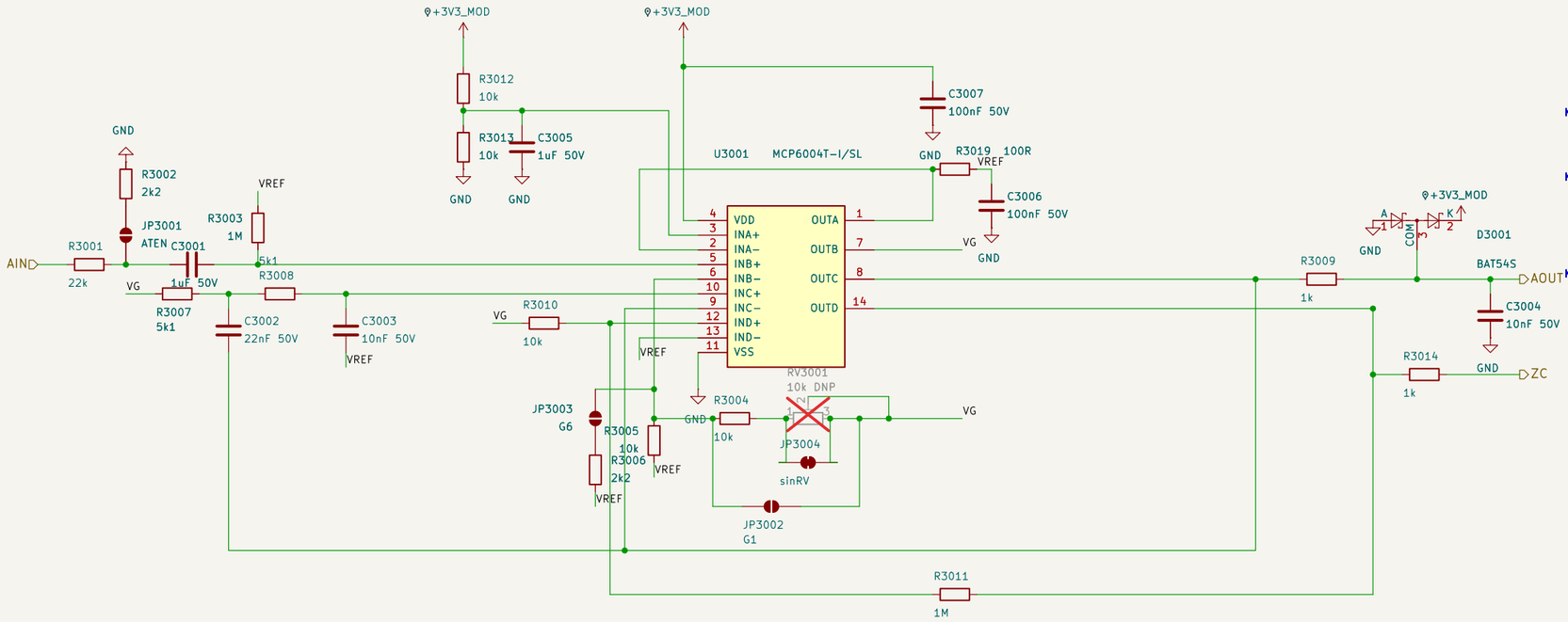
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /CORRIENTE_CT/
File: acondicionador_analogico_v1.kicad_sch

Title: acondicionador_analogico_v1 - MCP6004: bias, ganancia, antialias,

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 19/33

ACONDICIONADOR ANALOGICO PARA EL ADC DEL S3: BIAS, GANANCIA, ANTIALIAS 2,1 kHz, CLAMP, CRUCE POR CERO (MCP6004) | acondicionador_analogico_v1





Rn00: 0R = corte y medicion del bloque
I esp. 0,6 mA (MCP6004 4 x 100 uA + divisores)

Biblioteca: acondicionador_analogico_v1

ORIGEN: nuevo en Termovigia v3 rev E (2026-09-20). Ideas: frentes analogicos de danielmartensson/stm32-plc (MIT) y Olimex ESP32-GATEWAY (Apache-2.0), leidos en la web; circuito propio.
PROBADO: NO probado en hardware. Simulado en ngspice (ganancia, respuesta del filtro, clamp, comparador): simulacion/SIMULACION.md.
USO: una instancia por senal analogica (corriente, tension de red, tension del grupo). AIN referida a GND (sensor con burden a masa). AOUT a un pin de ADC1; ZC a un GPIO de entrada (opcional).
DEPENDE: +3V3, GND.
GOTCHAS: la escala la fija el sensor: no tocar R4/R5 por canal (hoja multi-instancia). ZC solo tiene sentido en la instancia de tension de red.

K1 Objetivo (Matias 20-sep): mantenimiento predictivo del equipo que enfria: corriente de arranque (LRA 5-8 x FLA), RMS, ciclo de trabajo y forma de onda para ML. Cadena: sensor referido a GND -> R1/JP1 -> C1 -> bias 1,65 V -> B (G = 2) -> C (Sallen-Key 2,1 kHz, Q 0,74) -> R9/D1/C4 -> AOUT (0,15-3,15 V) -> ADC1 del S3.

K2 Antialias (E.2, M3): Sallen-Key f0 = 1 / (2 pi 5k1 raiz(22n x 10n)) = 2,10 kHz, Q 0,74, mas R9/C4 (15,9 kHz): |H| relativo a 50 Hz = 0,98 a 1 kHz, 0,76 a 2 kHz, 0,009 (-41 dB) a 18 kHz (simulado). fs = 20 kS/s por canal (ADC1 continuo con DMA, 3 canales = 60 kS/s < 83 kS/s del S3): lo unico que se pliega sobre 0-2 kHz viene de >= 18 kHz (-41 dB). Promesa: RMS +-3 %; armonicos hasta el 20 (1 kHz) +-3 % sin correccion; 21-40 (hasta 2 kHz) indicativos, corregidos por firmware con la curva nominal (+-10 %: C X7R +-10 %). Ventana 200 ms = 4000 muestras x 2 B = 8 kB por canal (PSRAM del N8R2).

K3 Escala: G = 2 fijo. El SENSOR fija la escala (burden): pinza 10 ohm -> 100 A rms = 1,41 Vpk (fondo 117 A rms = 165 A pk; B2 de E.1); ZMPT 680 ohm -> 220 V = 1,06 Vpk, 260 V = 1,25 Vpk, recorte a 340 V. Puentes: JP1 aten. /11, JP2 G = 1, JP3 G = 6,6, RV1 (DNP, 3296W) hasta G = 3 continuo con JP4 cortado.

K4 M-10: MCP6004 corriente en las entradas +-2 mA abs max: con +-30 Vpk en AIN, R1 22k -> (30 - 3,9) / (22k + 3,2k de C1 a 50 Hz) = 1,0 mA por sus diodos ESD (E.1, M2: con 10k eran 2,0 mA = 0 % de margen); D1 BAT54S (200 mA) clampa AOUT; C1 1 uF 50 V. Comparador D: histeresis 33 mV, salida 0 / 3,3 V a IO42 (E.1: salio de IO46, que es strapping): frecuencia de red = 1 / periodo entre flancos (timer de 1 us -> 0,005 Hz).

K5 Exactitud: G 2 +-2 % (R 1 %), offset 4,5 mV max del MCP6004 (se calibra en cero), ADC del S3 +-2 % tras calibracion de fabrica: RMS +-3 %. Para facturar energia hace falta un medidor dedicado (HLW8032 / BL0942: RMS +-0,5 % pero sin forma de onda y con la logica del lado de 220 V): descartado, DISENO.md 1.3. Etiquetas VREF / VG: son rieles locales de la hoja (22 % de las conexiones: se acepta por la densidad del cuadruple).

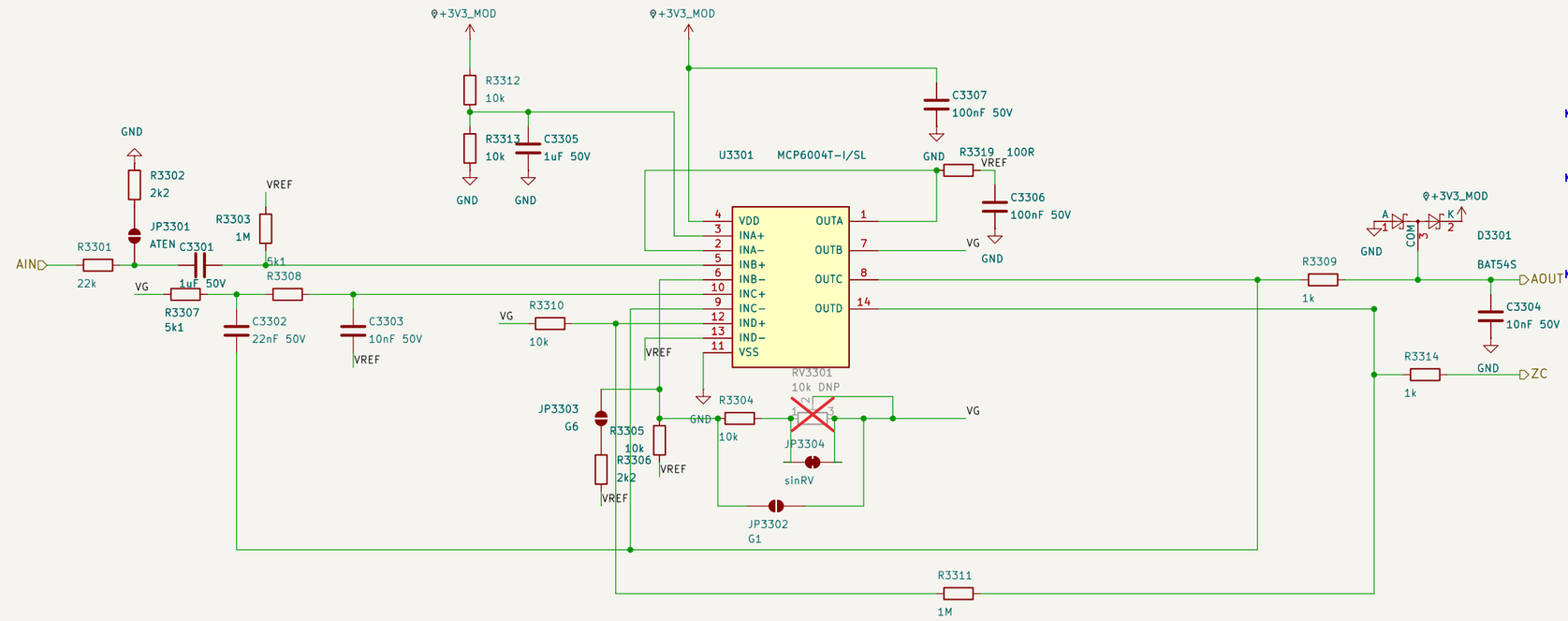
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /TENSION_RED/
File: acondicionador_analogico_v1.kicad_sch

Title: acondicionador_analogico_v1 - MCP6004: bias, ganancia, antialias,

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 20/33

ACONDICIONADOR ANALOGICO PARA EL ADC DEL S3: BIAS, GANANCIA, ANTIALIAS 2,1 kHz, CLAMP, CRUCE POR CERO (MCP6004) | acondicionador_analogico_v1





Rn00: 0R = corte y medicion del bloque
I esp. 0,6 mA (MCP6004 4 x 100 uA + divisores)

Biblioteca: acondicionador_analogico_v1

ORIGEN: nuevo en Termovigia v3 rev E (2026-09-20). Ideas: frentes analogicos de danielmartensson/stm32-plc (MIT) y Olimex ESP32-GATEWAY (Apache-2.0), leidos en la web; circuito propio.

PROBADO: NO probado en hardware. Simulado en ngspice (ganancia, respuesta del filtro, clamp, comparador): simulacion/SIMULACION.md.

USO: una instancia por senal analogica (corriente, tension de red, tension del grupo). AIN referida a GND (sensor con burden a masa). AOUT a un pin de ADC1; ZC a un GPIO de entrada (opcional).

DEPENDE: +3V3, GND.

GOTCHAS: la escala la fija el sensor: no tocar R4/R5 por canal (hoja multi-instancia). ZC solo tiene sentido en la instancia de tension de red.

K1 Objetivo (Matias 20-sep): mantenimiento predictivo del equipo que enfria: corriente de arranque (LRA 5-8 x FLA), RMS, ciclo de trabajo y forma de onda para ML. Cadena: sensor referido a GND -> R1/JP1 -> C1 -> bias 1,65 V -> B (G = 2) -> C (Sallen-Key 2,1 kHz, Q 0,74) -> R9/D1/C4 -> AOUT (0,15-3,15 V) -> ADC1 del S3.

K2 Antialias (E.2, M3): Sallen-Key f0 = 1 / (2 pi 5k1 raiz(22n x 10n)) = 2,10 kHz, Q 0,74, mas R9/C4 (15,9 kHz): |H| relativo a 50 Hz = 0,98 a 1 kHz, 0,76 a 2 kHz, 0,009 (-41 dB) a 18 kHz (simulado). fs = 20 kS/s por canal (ADC1 continuo con DMA, 3 canales = 60 kS/s < 83 kS/s del S3): lo unico que se pliega sobre 0-2 kHz viene de >= 18 kHz (-41 dB). Promesa: RMS +-3 %; armonicos hasta el 20 (1 kHz) +-3 % sin correccion; 21-40 (hasta 2 kHz) indicativos, corregidos por firmware con la curva nominal (+-10 %: C X7R +-10 %). Ventana 200 ms = 4000 muestras x 2 B = 8 kB por canal (PSRAM del N8R2).

K3 Escala: G = 2 fijo. El SENSOR fija la escala (burden): pinza 10 ohm -> 100 A rms = 1,41 Vpk (fondo 117 A rms = 165 A pk; B2 de E.1); ZMPT 680 ohm -> 220 V = 1,06 Vpk, 260 V = 1,25 Vpk, recorte a 340 V. Puentes: JP1 aten. /11, JP2 G = 1, JP3 G = 6,6, RV1 (DNP, 3296W) hasta G = 3 continuo con JP4 cortado.

K4 M-10: MCP6004 corriente en las entradas +-2 mA abs max: con +-30 Vpk en AIN, R1 22k -> (30 - 3,9) / (22k + 3,2k de C1 a 50 Hz) = 1,0 mA por sus diodos ESD (E.1, M2: con 10k eran 2,0 mA = 0 % de margen); D1 BAT54S (200 mA) clampa AOUT; C1 1 uF 50 V. Comparador D: histeresis 33 mV, salida 0 / 3,3 V a IO42 (E.1: salio de IO46, que es strapping): frecuencia de red = 1 / periodo entre flancos (timer de 1 us -> 0,005 Hz).

K5 Exactitud: G 2 +-2 % (R 1 %), offset 4,5 mV max del MCP6004 (se calibra en cero), ADC del S3 +-2 % tras calibracion de fabrica: RMS +-3 %. Para facturar energia hace falta un medidor dedicado (HLW8032 / BL0942: RMS +-0,5 % pero sin forma de onda y con la logica del lado de 220 V): descartado, DISENO.md 1.3. Etiquetas VREF / VG: son rieles locales de la hoja (22 % de las conexiones: se acepta por la densidad del cuadruple).

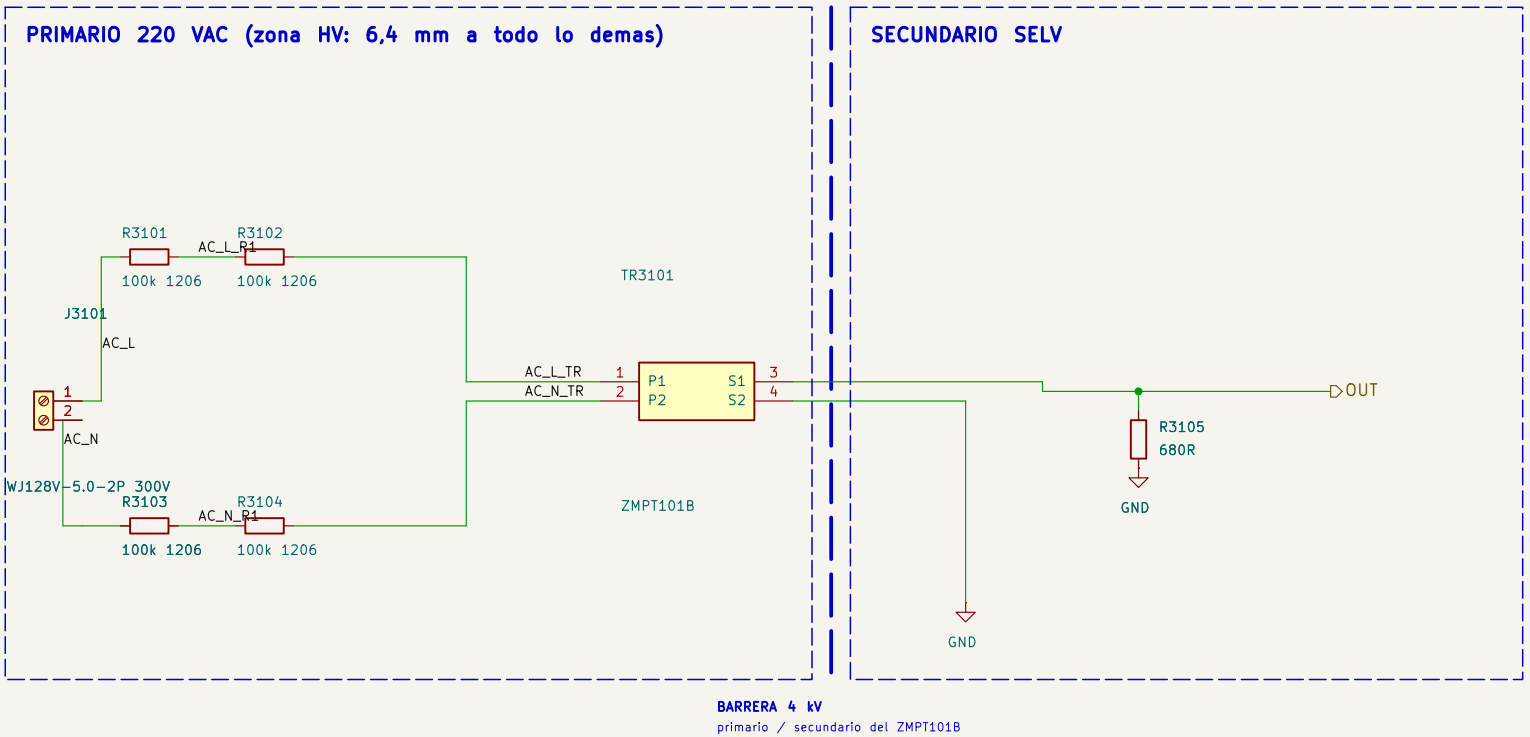
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /TENSION_GRUPO/
File: acondicionador_analogico_v1.kicad_sch

Title: acondicionador_analogico_v1 - MCP6004: bias, ganancia, antialias,

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 21/33

TENSION DE RED 220 V AISLADA (ZMPT101B 4 kV, 1:1 en corriente) -> acondicionador_analogico_v1 | tension_red_zmpt_v1



BARRERA 4 kV
primario / secundario del ZMPT101B

K1 Que habia en rev D: solo DETECCION de corte (VIN_SENSE = hay tension a la salida del modulo AC-DC). Rev E agrega la MEDICION: forma de onda de la tension de red (RMS, frecuencia por cruce por cero, huecos, armonicos).

K2 NUNCA un divisor directo a la red: el ZMPT101B es un transformador de corriente 1:1 con 4 kV de aislacion; el primario lo alimentan R1-R4 (400k) a 0,55 mA, el secundario cae en R5 a masa.

K3 M-10: red 242 V + 10 % -> 0,6 mA; R1-R4 30 mW c/u (200 V, 1206); sobretension de 4 kV: las 4 R (155 Vpk c/u nominal) y el MOV de la fuente AC la absorben; R5 nunca ve mas de 2 mA.

Dos instancias (Matias 20-sep): RED (31xx, siempre) y GRUPO ELECTROGENO (32xx, solo INDUSTRIAL, DNP por defecto): controlador de transferencia (V/f de red y del grupo; la carga NUNCA conmuta por los reles de la placa). Redes AC_* = netclass HV_220VAC (patron /TENSION_220V_*/AC_*).

Sin rieles de baja tension: no lleva R de 0 ohm (M-21). Precision: 0,2 % del ZMPT + 1 % de R5 + G: +-3 % en RMS tras calibrar con un multimetro.

Biblioteca: tension_red_zmpt_v1

ORIGEN: nuevo en Termovigia v3 rev E (2026-09-20, pedido de Matias: medir tension y frecuencia de red). Circuito de aplicacion del ZMPT101B (Qingxian Zeming) con burden a masa.

PROBADO: NO probado en hardware. Simulado en ngspice como fuente de corriente sobre R5.

USO: 1 o 2 instancias (red / grupo). Bornera L-N propia (zona HV). OUT al AIN de un acondicionador_analogico_v1 (ZC = cruce por cero).

DEPENDE: nada de baja tension (pasivo).

GOTCHAS: las 4 R y el primario del ZMPT son zona HV: 6,4 mm de creepage, mismo keepout que la fuente AC. THT: JLC lo suelda a mano (manualWeld).

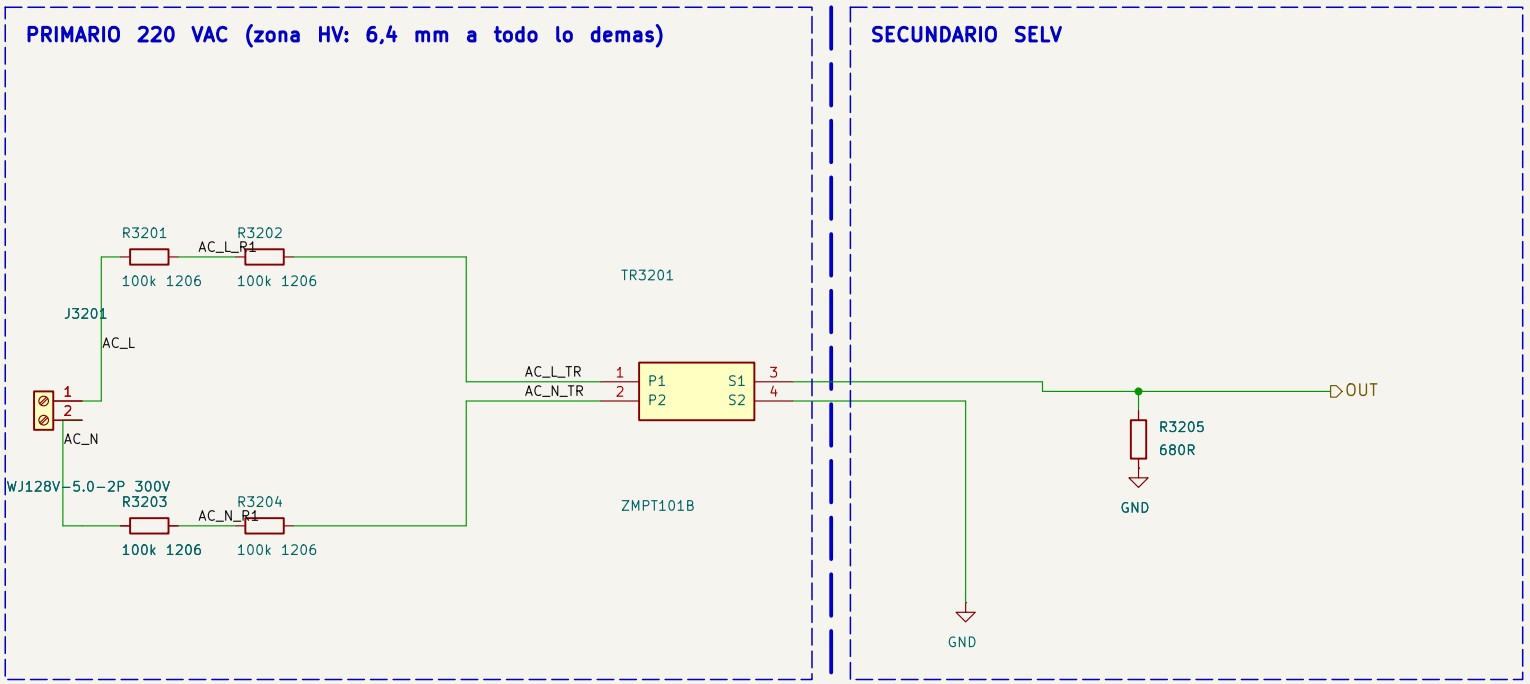
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /TENSION_220V_RED/
File: tension_red_zmpt_v1.kicad_sch

Title: tension_red_zmpt_v1 - tension de red aislada (ZMPT101B)

Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 22/33

TENSION DE RED 220 V AISLADA (ZMPT101B 4 kV, 1:1 en corriente) -> acondicionador_analogico_v1 | tension_red_zmpt_v1



BARRERA 4 kV
primario / secundario del ZMPT101B

K1 Que habia en rev D: solo DETECCION de corte (VIN_SENSE = hay tension a la salida del modulo AC-DC). Rev E agrega la MEDICION: forma de onda de la tension de red (RMS, frecuencia por cruce por cero, huecos, armonicos).

K2 NUNCA un divisor directo a la red: el ZMPT101B es un transformador de corriente 1:1 con 4 kV de aislacion; el primario lo alimentan R1-R4 (400k) a 0,55 mA, el secundario cae en R5 a masa.

K3 M-10: red 242 V + 10 % -> 0,6 mA; R1-R4 30 mW c/u (200 V, 1206); sobretension de 4 kV: las 4 R (155 Vpk c/u nominal) y el MOV de la fuente AC la absorben; R5 nunca ve mas de 2 mA.

Dos instancias (Matias 20-sep): RED (31xx, siempre) y GRUPO ELECTROGENO (32xx, solo INDUSTRIAL, DNP por defecto): controlador de transferencia (V/f de red y del grupo; la carga NUNCA conmuta por los reles de la placa). Redes AC_* = netclass HV_220VAC (patron /TENSION_220V_*/AC_*).

Sin rieles de baja tension: no lleva R de 0 ohm (M-21). Precision: 0,2 % del ZMPT + 1 % de R5 + G: +-3 % en RMS tras calibrar con un multimetro.

Biblioteca: tension_red_zmpt_v1

ORIGEN: nuevo en Termovigia v3 rev E (2026-09-20, pedido de Matias: medir tension y frecuencia de red). Circuito de aplicacion del ZMPT101B (Qingxian Zeming) con burden a masa.

PROBADO: NO probado en hardware. Simulado en ngspice como fuente de corriente sobre R5.

USO: 1 o 2 instancias (red / grupo). Bornera L-N propia (zona HV). OUT al AIN de un acondicionador_analogico_v1 (ZC = cruce por cero).

DEPENDE: nada de baja tension (pasivo).

GOTCHAS: las 4 R y el primario del ZMPT son zona HV: 6,4 mm de creepage, mismo keepout que la fuente AC. THT: JLC lo suelda a mano (manualWeld).

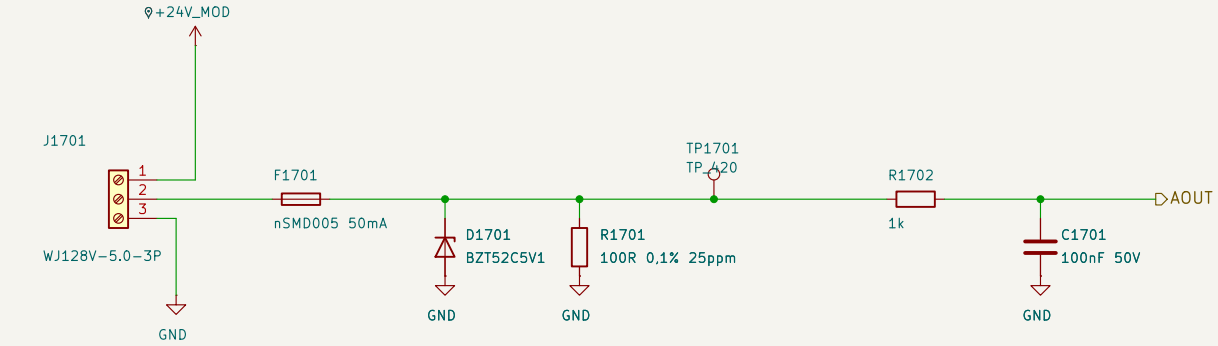
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

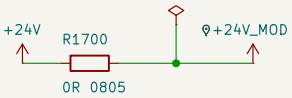
Sheet: /TENSION_220V_GRUPO/
File: tension_red_zmpt_v1.kicad_sch

Title: tension_red_zmpt_v1 - tension de red aislada (ZMPT101B)

Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 23/33

ENTRADA 4–20 mA CON ALIMENTACION DE LAZO 24 V (SENSORES INDUSTRIALES DE CALOR) | entrada_4_20ma_v1





Rn00: 0R = corte y medicion del bloque
l esp. 4–20 mA del lazo (0 sin transmisor)

Biblioteca: entrada_4_20ma_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17).
PROBADO: NO probado en hardware.
USO: una instancia por lazo. AOUT (0–2,4 V) a una entrada de un ADC de 16 bit (adc_ads1115_lazo24v_v1). Transmisor de 2 hilos entre bornes 1 y 2; de 3/4 hilos: salida a 2, comun a 3.
DEPENDE: +24V (fuente de lazo), GND.
GOTCHAS: zener de 5,1 V y no 3,6 V: la rodilla blanda del 3V6 fuga decenas de uA a 2,4 V (= error). Medir fuga de D1 a 2,4 V en el primer armado: < 1 uA.

K1 Por que NO el ADC del S3: +–2 % tras calibrar y no lineal por encima de 2,5 V = +–12 C en un transmisor 0–600 C. ADS1115: 16 bit, error de ganancia 0,01 % tip. (0,15 % max).
Error total = shunt 0,1 % + ADC 0,15 % + deriva 25 ppm x 40 C = 0,1 % –> 0,35 % = 2 C sobre 600 C.

K2 Escala con PGA +–4,096 V: LSB 125 uV = 1,25 uA. 4 mA = 0,4 V; 20 mA = 2,0 V; 24 mA (falla alta NAMUR) = 2,4 V; < 3,6 mA = lazo abierto.

K3 M–10 peor caso: 24 V directos a IN (simulado, SIMULACION.md): D1 clampa 5,1 V con amperios hasta que F1 abre (< 1 s): el zener de 0,5 W se SACRIFICA en corto = falla segura (AIN0 <= 4 V por R2 1k), pero el canal queda a reparar. Shunt 51 mA = 0,26 W mientras tanto.
Normal: 20 mA^2 x 100 = 40 mW (32 % del 0805). Inversa: D1 en directa, –0,7 V, R2 limita a 0,4 mA.

K4 Lazo: 24 V – 2 V (shunt) – 0,5 V (PTC + cable) = 21,5 V en el transmisor (piden 10–30 V). Con 12 V quedarian 9,5 V: no alcanza para muchos.
Escala M–05: 2 canales poblados, maximo 4 por ADS1115 (AIN2/3 hoy miden red y bateria): mas = segundo ADS1115 por expansion.

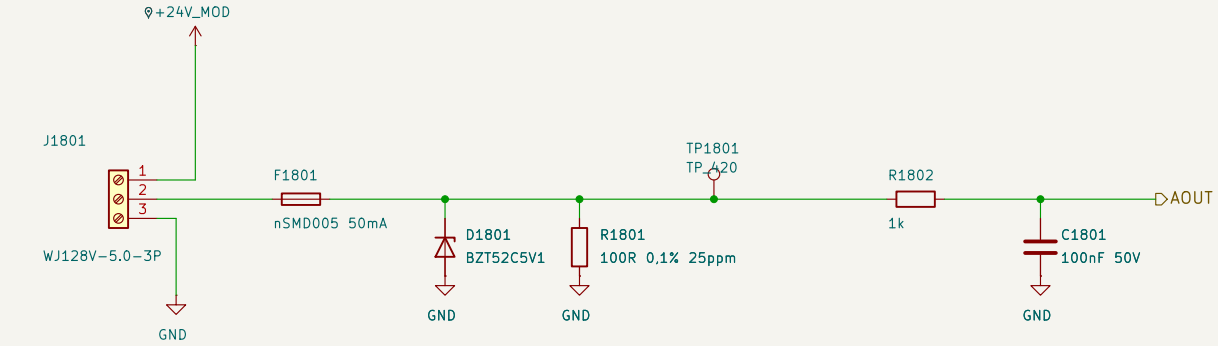
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M–03): ver ficha en la hoja
Pandemonium (PNDM) – Termovigia

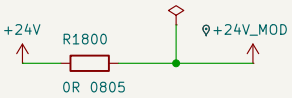
Sheet: /LAZO_4_20mA_1/
File: entrada_4_20ma_v1.kicad_sch

Title: entrada_4_20ma_v1 – lazo 4–20 mA con alimentacion 24 V

Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 24/33

ENTRADA 4–20 mA CON ALIMENTACION DE LAZO 24 V (SENSORES INDUSTRIALES DE CALOR) | entrada_4_20ma_v1





Rn00: 0R = corte y medicion del bloque
I esp. 4–20 mA del lazo (0 sin transmisor)

Biblioteca: entrada_4_20ma_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17).
PROBADO: NO probado en hardware.
USO: una instancia por lazo. AOUT (0–2,4 V) a una entrada de un ADC de 16 bit (adc_ads1115_lazo24v_v1). Transmisor de 2 hilos entre bornes 1 y 2; de 3/4 hilos: salida a 2, comun a 3.
DEPENDE: +24V (fuente de lazo), GND.
GOTCHAS: zener de 5,1 V y no 3,6 V: la rodilla blanda del 3V6 fuga decenas de uA a 2,4 V (= error). Medir fuga de D1 a 2,4 V en el primer armado: < 1 uA.

K1 Por que NO el ADC del S3: +–2 % tras calibrar y no lineal por encima de 2,5 V = +–12 C en un transmisor 0–600 C. ADS1115: 16 bit, error de ganancia 0,01 % tip. (0,15 % max).
Error total = shunt 0,1 % + ADC 0,15 % + deriva 25 ppm x 40 C = 0,1 % –> 0,35 % = 2 C sobre 600 C.

K2 Escala con PGA +–4,096 V: LSB 125 uV = 1,25 uA. 4 mA = 0,4 V; 20 mA = 2,0 V; 24 mA (falla alta NAMUR) = 2,4 V; < 3,6 mA = lazo abierto.

K3 M–10 peor caso: 24 V directos a IN (simulado, SIMULACION.md): D1 clampa 5,1 V con amperios hasta que F1 abre (< 1 s): el zener de 0,5 W se SACRIFICA en corto = falla segura (AIN0 <= 4 V por R2 1k), pero el canal queda a reparar. Shunt 51 mA = 0,26 W mientras tanto.
Normal: 20 mA^2 x 100 = 40 mW (32 % del 0805). Inversa: D1 en directa, –0,7 V, R2 limita a 0,4 mA.

K4 Lazo: 24 V – 2 V (shunt) – 0,5 V (PTC + cable) = 21,5 V en el transmisor (piden 10–30 V). Con 12 V quedarian 9,5 V: no alcanza para muchos.
Escala M–05: 2 canales poblados, maximo 4 por ADS1115 (AIN2/3 hoy miden red y bateria): mas = segundo ADS1115 por expansion.

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M–03): ver ficha en la hoja
Pandemonium (PNDM) – Termovigia

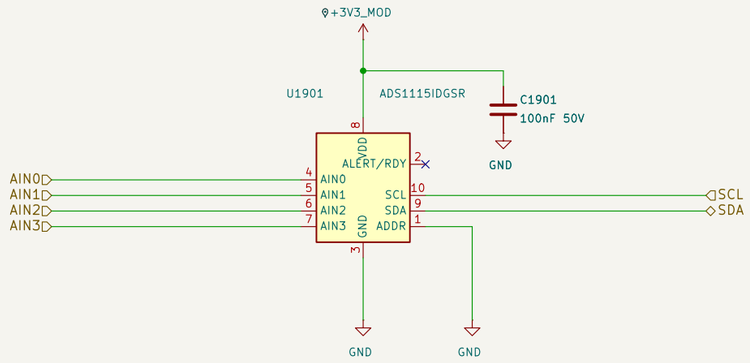
Sheet: /LAZO_4_20mA_2/
File: entrada_4_20ma_v1.kicad_sch

Title: entrada_4_20ma_v1 – lazo 4–20 mA con alimentacion 24 V

Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 25/33

ADC 16 BIT I2C (ADS1115) PARA 4–20 mA, RED Y BATERIA | adc_ads1115_lazo24v_v1

1) ADS1115: AIN0/AIN1 = 4–20 mA, AIN2 = red (VIN), AIN3 = bateria

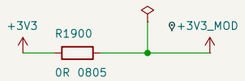


K1 ADS1115: VDD 3,3 V, entradas 0...3,6 V. PGA +–4,096 V (LSB 125 uV). Las cuatro entradas llegan con R serie >= 1k y filtro: la corriente por los diodos de proteccion queda < 10 mA en cualquier falla.
Direccion I2C 0x48 (ADDR a GND). 8 SPS, single–shot, 4 canales por segundo: 0.15 mA de consumo medio.
K2 Rev E: el lazo de 24 V ya no se genera aca (MT3608 eliminado: 28 V abs sin margen y redundante con +VIN = 24 V). AIN2 = VIN_SENSE (24 V x 0,107 = 2,57 V), AIN3 = VBAT_SENSE.

Biblioteca: adc_ads1115_lazo24v_v1
ORIGEN: nuevo en Termovigia v3 (2026–09–17). ADS1115 y MT3608 segun sus hojas de datos.
PROBADO: NO probado en hardware.
USO: una instancia. AIN0..3 de 0 a 3,3 V (siempre con R serie >= 1k aguas arriba). El riel +24V del lazo lo entrega FUENTE (rev E).
DEPENDE: +3V3, GND, bus I2C.
GOTCHAS: nada de conmutacion en esta hoja desde rev E. 0x48 choca con otro ADS1115 en expansion: el segundo va en 0x49 (ADDR a VDD).

2) FUENTE DE LAZO 24 V: en rev E sale de FUENTE (+VIN 24 V por PTC F103); el boost MT3608 se elimino (C1 / M–10)

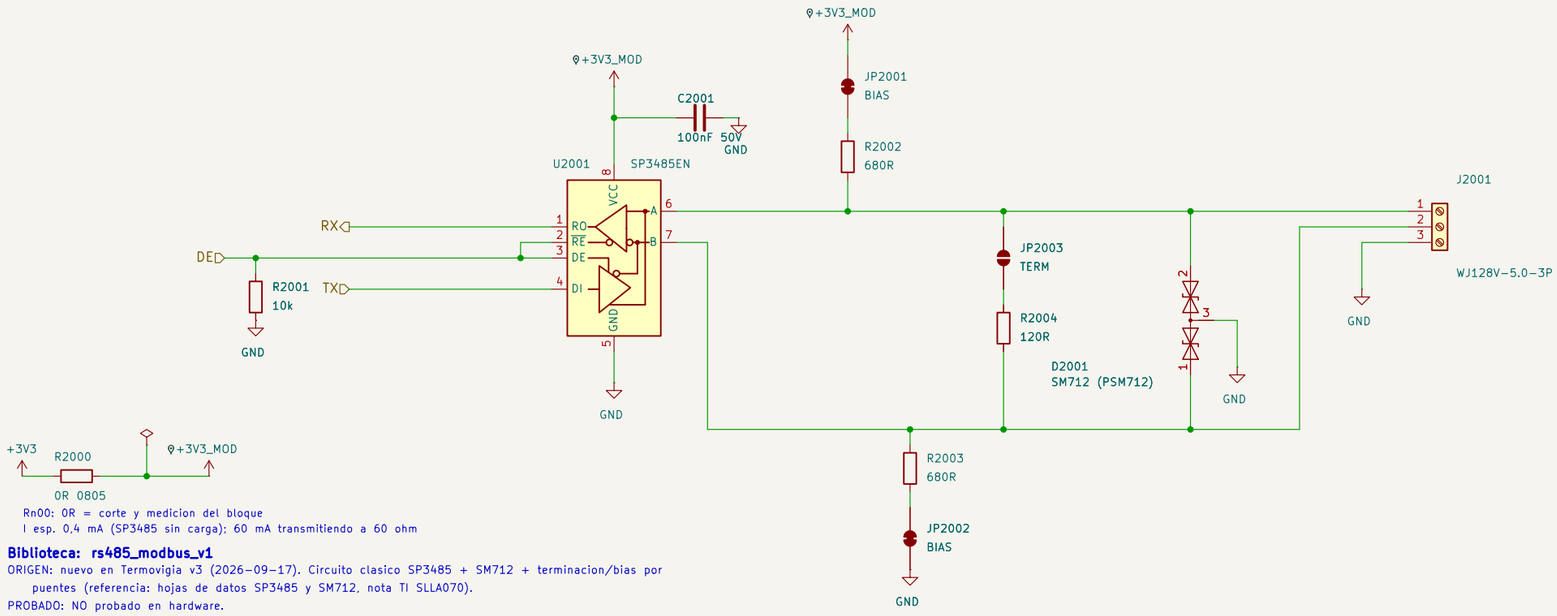
+24V (riel global, hoja FUENTE 1b) –> entrada_4_20ma_v1 x2 (+24V_MOD por su R de 0 ohm)



Rn00: 0R = corte y medicion del bloque I esp. 0,15 mA (ADS1115 continuo)

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M–03): ver ficha en la hoja
Pandemonium (PNDM) – Termovigia
Sheet: /ADC_LAZO24V/
File: adc_ads1115_lazo24v_v1.kicad_sch
Title: adc_ads1115_lazo24v_v1 – ADC 16 bit + fuente de lazo 24 V
Size: A3 | Date: 2026–09–21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 26/33

RS-485 / MODBUS RTU (SP3485, 3,3 V) CON TVS, TERMINACION Y BIAS POR PUENTES | rs485_modbus_v1



Rn00: 0R = corte y medicion del bloque
I esp. 0,4 mA (SP3485 sin carga); 60 mA transmitiendo a 60 ohm

Biblioteca: rs485_modbus_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17). Circuito clasico SP3485 + SM712 + terminacion/bias por puentes (referencia: hojas de datos SP3485 y SM712, nota TI SLLA070).
PROBADO: NO probado en hardware.
USO: una instancia. TX/RX/DE a una UART del MCU (UART1). Bornera A / B / GND.
DEPENDE: +3V3, GND.
GOTCHAS: GND del bus SIEMPRE cableado. Par trenzado, 120 ohm en los extremos, <= 1200 m a 19200.

K1 Aislado o no: NO aislado. La placa cuelga de una fuente de pared aislada (flota) y el cable lleva GND: la referencia la fija el bus, el modo comun queda dentro de -7/+12 V. Aislar (ADM2483 + DC-DC) suma USD 4 y 8 piezas: se justifica solo con > 100 m entre edificios o variadores; ahi va un repetidor aislado externo.

K2 DE por GPIO40 (no auto-direccion): el firmware Modbus (ModbusMaster / eModbus) lo maneja; la auto-direccion por transistor falla con terminaciones y a 115200 baudios. R1 10k: receptor durante el boot.

K3 Bias 680/680 con bus terminado en los dos extremos (60 ohm): V = 3,3 x 60 / 1420 = 0,14 V... en el limite; con una sola terminacion (120 ohm) 0,26 V > 0,2 V. Para bus largo con 2 terminaciones usar 390 ohm (JP, R2/R3). Puentes: BIAS cerrados (master), TERM abierto salvo extremo.

Controladores: Dixell XR/XW (RS-485 nativo o XJ485), Carel IR33/pCO, Danfoss EKC/AK, PLC Modbus RTU: 9600-19200 8N1 / 8E1.

K4 M-10: SM712 clampa +12 / -7 V (SP3485: -7..+12 V abs). Corriente de corto del driver 250 mA (protegido).

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

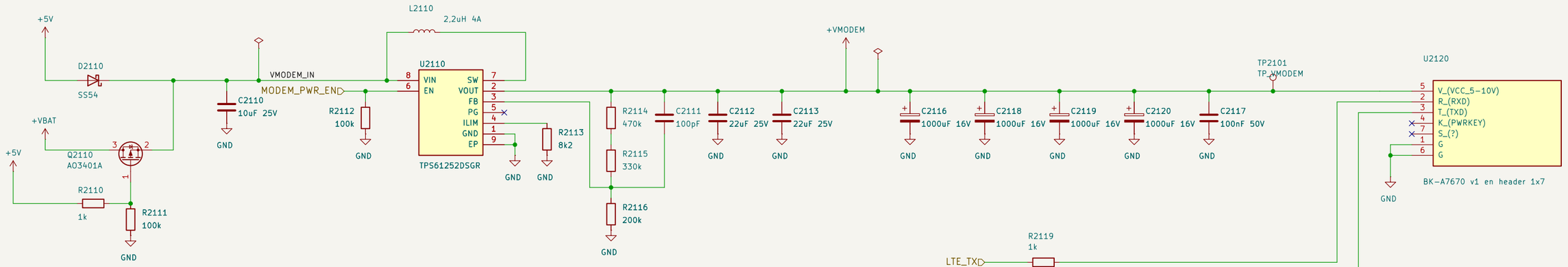
Sheet: /RS485_MODBUS/
File: rs485_modbus_v1.kicad_sch

Title: rs485_modbus_v1 - Modbus RTU (Dixell, Carel, Danfoss, PLC)

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 27/33

CELULAR 4G: BREAKOUT BK-A7670 v1 EN HEADER, RIEL PROPIO 6,0 V CON LIMITE DE ENTRADA 1,2 A (TPS61252) DESDE +5V O LA CELDA | celular_a7670_v1

1) FUENTE DEL MODEM (rev E.2): +5V con red (D10) O +VBAT sin red (llave Q10) -> TPS61252 (limite de entrada 0,98-1,46 A) -> +VMODEM 6,0 V + 4 x 1000 uF -> BREAKOUT (VCC 5-10 V)



K1 Historia: rev E colgaba el modem de +5V_SYS (el riel del S3) y cada rafaga reseteaba el S3 (K2 rev E). E.1 le dio fuente propia (TPS61252 con limite de entrada) pero a 5,22 V: el breakout pide VCC 5,0-10 V (hoja BK-A7670 p.4) y cada rafaga lo bajaba a 4,8 V; con 2 slots o la celda baja colapsaba (N-A1 de la verificacion E.1). E.2: +VMODEM 6,0 V y regla de firmware.

K2 TPS61252: limite de ENTRADA por R13 (10.000 x 1 V / 8k2 = 1,22 A, +-20 % = 0,98-1,46 A de valle; media <= 1,55 A); Vout = 1,2 x (1 + 800k/200k) = 6,00 V (5,82-6,19 V por tolerancias; VOUT max 6,5 V, abs 7 V); EN = MODEM_PWR_EN con 100k a GND (apagado en el boot); con EN = 0 desconecta la carga. P_max del boost = I_LIM x Vin x 0,9: celda 3,4 V (Vin ~3,05 V bajo carga) 2,7 W; 3,3 V 2,6 W; 3,0 V 2,4 W (I_LIM -20 %).

K3 Rafaga GSM: 2 A a 4,0 V en el A7670 = 8,9 W en VCC (buck del breakout 90 %). Demanda media: 1 slot 0,44 + 8,45/8 = 1,5 W; 2 slots (GPRS) 2,55 W: LTE 23 dBm 2,67 W. Deficit por rafaga: (8,9 - 2,6) W x 577 us = 3,6 mJ por slot -> dV = E / (C x V) = 3,6 mJ / (4 mF x 6,0 V) = 0,15 V (1 slot) y 0,30 V (2 slots). Por que 4 x 1000 uF y no 2: con 2 slots la demanda media (2,55 W) roza P_max (2,6 W) y la perdida I2R en la ESR decide; en frio (ESR x 3, celda 200 mohm) con la celda a 3,4 V: 2 x 1000 uF colapsa (3,7 V), 3 da 5,3 V, 4 da 5,59 V (bancos modem_e2_*). Mas bulk NO arregla la celda a 3,0 V con 2 slots o LTE (demanda > P_max 2,4 W: solo lo demora). Ese es el LIMITE DE DISENO: el firmware apaga el modem con la celda < 3,4 V (ESPECIFICACION D19).

K4 Fuentes: con red, +5V (buck 3,5 A: BQ24075 1,07 + modem 1,55 = 2,6 A pico) por D10 -> 4,6 V; la celda queda fuera (Q10 abierta: Vgs = +0,35 V: su diodo en inversa). Sin red, Q10 cierra y la celda da <= 1,55 A al modem + 0,3 A de +5V_SYS (S3 sin WiFi + 1 rele) = 1,85 A: al borde del DW01A caliente (130 mV / 2 x 35 mohm = 1,86 A, 20 ms). Con el WiFi prendido (+0,75 A de celda) lo dispara: sin red y con el modem transmitiendo, WiFi APAGADO (regla de firmware 11 de PINOUT, ahora obligatoria).

K5 M-10: TPS61252 VIN 6,0 V max (llega 4,55-4,75 V), VOUT 6,5 V max (6,00 V, 6,19 V peor caso: 5 %); C16-C20 16 V (6,2 V: 39 %); AO3401A 30 V / 4 A (1,55 A: 0,2 W); SS54 40 V / 5 A (1,55 A: 0,7 W en SMA); L10 Isat 6 A. Firmware: con la celda < 3,4 V el modem se apaga; red LTE preferida (AT+CNMP=38); reinicio = AT+CPOF -> MODEM_PWR_EN LOW >= 10 s -> HIGH. Banco: SIMULACION.md, modem_*.

Biblioteca: celular_a7670_v1

ORIGEN: Termovigia Base v2 rev B.1 hoja 5 (2026-09-02, @verificador x2), SMT-izado; rev E.1 (2026-09-21): fuente propia con TPS61252 (limite de entrada) desde +5V o la celda, K2 del verificador.

PROBADO: logica de UART/1k auditada en v2; fuente del modem rev E.1: calculo + simulacion con limite de corriente real (SIMULACION.md). NO probado en hardware: medir VCC del breakout en la rafaga (PRUEBA.md).

USO: una instancia. LTE_TX/LTE_RX a UART2 del MCU, MODEM_PWR_EN a un GPIO que arranca en bajo. Rieles: +5V (con red) y +VBAT (sin red); sin RO: el corte es EN del TPS61252 (desconexion real) y el breakout se desenchufa.

DEPENDE: +5V, +VBAT, GND. Antena LTE por pigtail IPEX-SMA al gabinete (del breakout, no del S3).

GOTCHAS: S (pin 7) no documentado: NC. El S3 no puede colgar de +VMODEM ni de VMODEM_IN. Placa sin celda y sin red: el modem no anda (correcto: nada que alimentar).

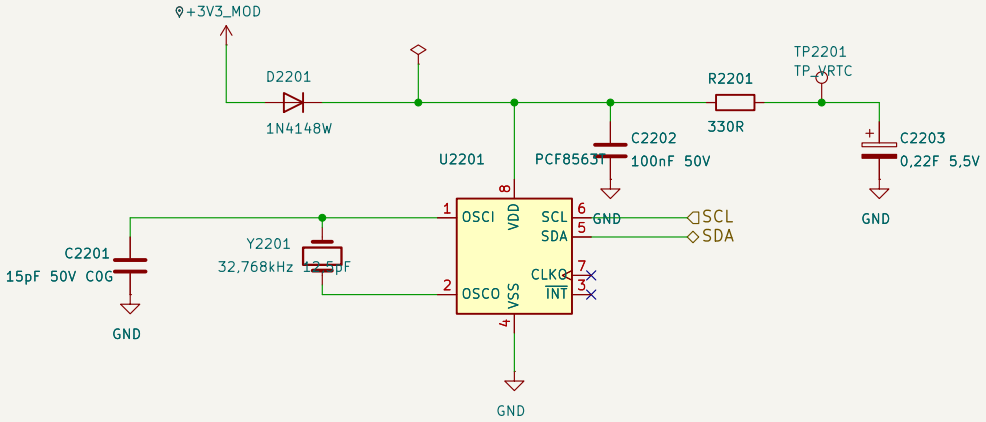
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

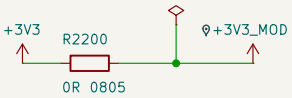
Sheet: /CELULAR_4G/
File: celular_a7670_v1.kicad_sch

Title: celular_a7670_v1 - breakout BK-A7670 v1 con riel propio

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 28/33

RELOJ DE TIEMPO REAL CON RESPALDO POR SUPERCAPACITOR (PCF8563) | rtc_pcf8563_v1





Rn00: 0R = corte y medicion del bloque
I esp. < 1 uA (PCF8563 0,25 uA tip.) + carga del supercap al inicio

K1 Por que un RTC si el S3 tiene NTP: tras un corte de red y de 220 V, el equipo arranca sin hora hasta reconectar; los registros locales (memoria) y las alarmas quedarian sin fecha. La norma de cadena de frio pide hora en cada registro.

K2 Supercap y no pila: 0,22 F x (2,7 − 1,0 V) / (0,25 uA + 0,05 uA fuga) = 1,2 Ms = 14 dias sin 3V3. Sin pila de litio (envio aereo, reemplazo), sin portapilas. VDD_RTC = 3,3 − 0,6 = 2,7 V (PCF8563: 1,0−5,5 V; I2C tolera 5 V independiente de VDD).

K3 Carga: R1 330 -> 8 mA iniciales, tau = 73 s -> lleno en 5 min. D1 1N4148W en vez de Schottky: la fuga inversa de un Schottky (uA) vaciaria el supercap en horas.

Deriva del cristal +−20 ppm = 1,7 s/dia: el firmware resincroniza por NTP cada hora cuando hay red.

Biblioteca: rtc_pcf8563_v1

ORIGEN: nuevo en Termovigia v3 (2026−09−17). Circuito de la hoja de datos del PCF8563 + respaldo por supercap.

PROBADO: NO probado en hardware.

USO: una instancia. I2C 0x51. Sin pines fuera del bus.

DEPENDE: +3V3, GND, bus I2C.

GOTCHAS: cristal pegado al chip, sin pistas debajo (32 kHz de alta impedancia). Supercap THT: JLC lo monta como THT o se suelda a mano.

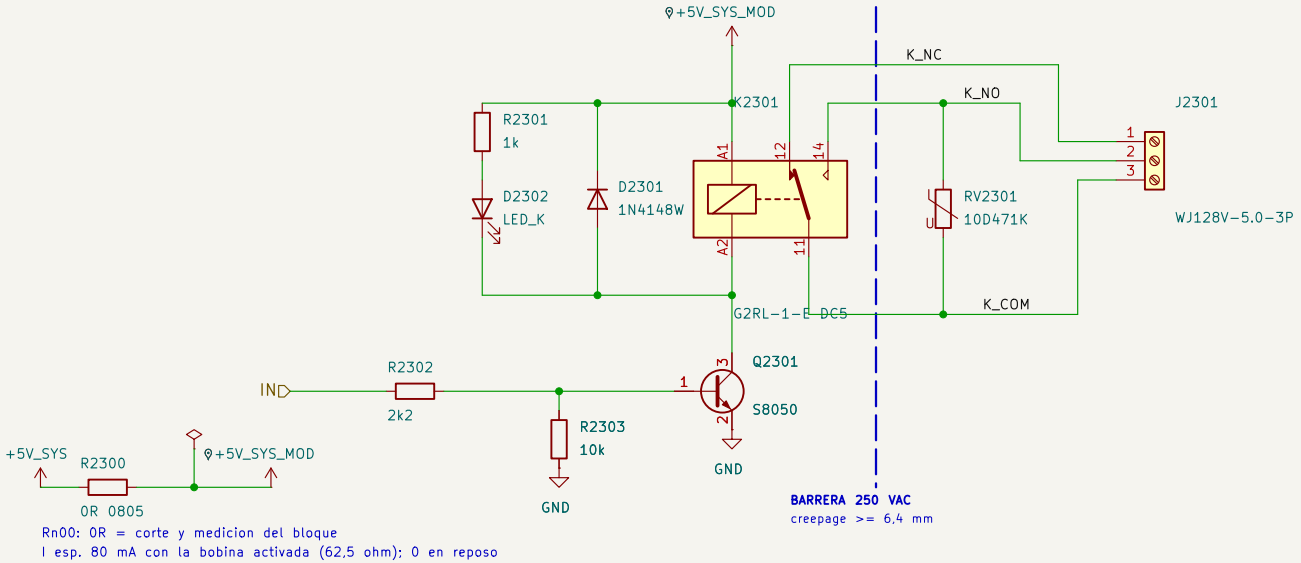
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M−03): ver ficha en la hoja
Pandemonium (PNDM) − Termovigia

Sheet: /RTC/
File: rtc_pcf8563_v1.kicad_sch

Title: rtc_pcf8563_v1 − reloj con respaldo por supercap

Size: A4	Date: 2026−09−21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 29/33

SALIDA DE RELE 250 VAC (OMRON G2RL-1-E, AISLACION REFORZADA BOBINA-CONTACTO) CON DRIVER, LED, MOV | rele_10a_driver_v1



Rn00: 0R = corte y medicion del bloque

I esp. 80 mA con la bobina activada (62,5 ohm); 0 en reposo

Biblioteca: rele_10a_driver_v1

ORIGEN: Termovigia Base v2 hoja 4 (BC547 + R B-E 10k + modulo de rele comercial) pasado a rele on-board + S8050 + MOV; E.2: Omron G2RL-1-E (aislacion reforzada) en lugar del Songle SRD.

PROBADO: driver BC547/S8050 con B-E 10k: auditado en v2 (H5). Rele on-board: NO probado por nosotros (G2RL: pieza de catalogo Omron, UL/VDE).

USO: una instancia por rele. Pin jerarquico IN (3,3 V, activo alto). Bornera NC / NO / COM.

DEPENDE: un riel de 5 V (parametro 'riel' de la placa: +5V_SYS en la completa, respaldado por la celda; +5V en la LITE), GND.

GOTCHAS: la bobina consume 80 mA del riel de 5 V cada rele: contarlos en el presupuesto del riel (en la completa, en la autonomia de la celda). Contacto: la corriente declarada la da la pista (parametro i_decl).

K1 Bobina 80 mA (G2RL 5 V: 62,5 ohm, 400 mW; operate <= 70 % = 3,5 V, hoja p.2): Q1 S8050 (Ic 500 mA) con Ib 1,2 mA -> hFE forzado 68 < 120 min: saturado (Vce < 0,3 V). GPIO HIGH = rele ON.

K2 R3 10k B-E: con el GPIO en alta impedancia (arranque, reset, flasheo) Vbe = 0 -> el rele NO se pega. Regla del producto: sin firmware, todo apagado.

K3 Aislacion (E.2, N-A2): el SRD-05VDC era BASICA (1500 VAC bobina-contacto). G2RL-1-E: 5000 VAC bobina-contacto 1 min, clearance y creepage 8 mm min, 'Reinforced' (hoja Omron p.3 y p.7): del lado de la bobina queda SELV accesible (sondas, USB, entradas). Sin excepcion en el .kicad_dru: dentro de la huella la bobina (A1/A2) queda a 13 mm de borde a borde del NC.

K4 Contactos: 16 A 250 VAC resistivo (pieza): la PLACA declara 10 A resistivo (lo fija la pista, D23). Inductivo: AC15 3 A a 240 VAC en NO (hoja p.7): compresores y motores SOLO por contactor externo (la bobina del contactor si entra). MOV 10D471K (M-10: 250 Vrms x 1,41 = 353 Vpk < 470 V). Redes K_* = netclass RELE_250VAC (.kicad_dru: >= 6,4 mm a todo lo demas).

Escala M-05: 2 instancias en placa, maximo comercial 4 -> las 3 y 4 por expansion (PCF8574 + este mismo modulo en una placa hija). Huella 29 x 12,7 mm, 8 pines 1,3 mm (hoja p.6).

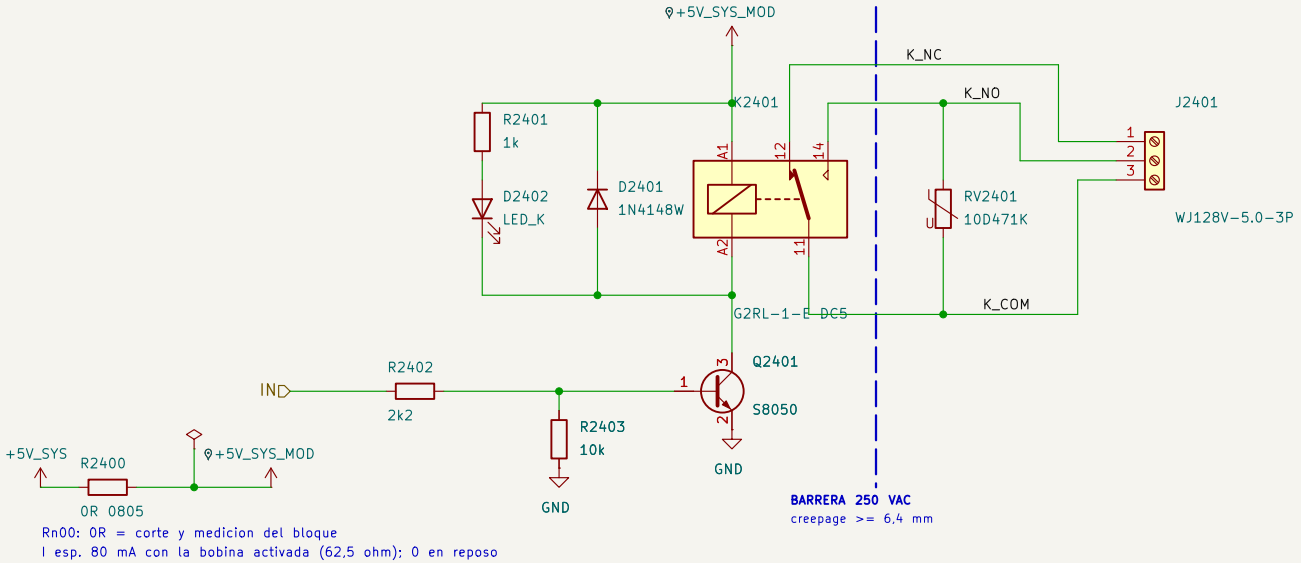
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /RELE_1/
File: rele_10a_driver_v1.kicad_sch

Title: rele_10a_driver_v1 - rele G2RL con driver y MOV

Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 30/33

SALIDA DE RELE 250 VAC (OMRON G2RL-1-E, AISLACION REFORZADA BOBINA-CONTACTO) CON DRIVER, LED, MOV | rele_10a_driver_v1



Rn00: 0R = corte y medicion del bloque
I esp. 80 mA con la bobina activada (62,5 ohm); 0 en reposo

Biblioteca: rele_10a_driver_v1

ORIGEN: Termovigia Base v2 hoja 4 (BC547 + R B-E 10k + modulo de rele comercial) pasado a rele on-board + S8050 + MOV; E.2: Omron G2RL-1-E (aislacion reforzada) en lugar del Songle SRD.

PROBADO: driver BC547/S8050 con B-E 10k: auditado en v2 (H5). Rele on-board: NO probado por nosotros (G2RL: pieza de catalogo Omron, UL/VDE).

USO: una instancia por rele. Pin jerarquico IN (3,3 V, activo alto). Bornera NC / NO / COM.

DEPENDE: un riel de 5 V (parametro 'riel' de la placa: +5V_SYS en la completa, respaldado por la celda; +5V en la LITE), GND.

GOTCHAS: la bobina consume 80 mA del riel de 5 V cada rele: contarlos en el presupuesto del riel (en la completa, en la autonomia de la celda). Contacto: la corriente declarada la da la pista (parametro i_decl).

K1 Bobina 80 mA (G2RL 5 V: 62,5 ohm, 400 mW; operate <= 70 % = 3,5 V, hoja p.2): Q1 S8050 (Ic 500 mA) con Ib 1,2 mA -> hFE forzado 68 < 120 min: saturado (Vce < 0,3 V). GPIO HIGH = rele ON.

K2 R3 10k B-E: con el GPIO en alta impedancia (arranque, reset, flasheo) Vbe = 0 -> el rele NO se pega. Regla del producto: sin firmware, todo apagado.

K3 Aislacion (E.2, N-A2): el SRD-05VDC era BASICA (1500 VAC bobina-contacto). G2RL-1-E: 5000 VAC bobina-contacto 1 min, clearance y creepage 8 mm min, 'Reinforced' (hoja Omron p.3 y p.7): del lado de la bobina queda SELV accesible (sondas, USB, entradas). Sin excepcion en el .kicad_dru: dentro de la huella la bobina (A1/A2) queda a 13 mm de borde a borde del NC.

K4 Contactos: 16 A 250 VAC resistivo (pieza): la PLACA declara 10 A resistivo (lo fija la pista, D23). Inductivo: AC15 3 A a 240 VAC en NO (hoja p.7): compresores y motores SOLO por contactor externo (la bobina del contactor si entra). MOV 10D471K (M-10: 250 Vrms x 1,41 = 353 Vpk < 470 V). Redes K_* = netclass RELE_250VAC (.kicad_dru: >= 6,4 mm a todo lo demas).

Escala M-05: 2 instancias en placa, maximo comercial 4 -> las 3 y 4 por expansion (PCF8574 + este mismo modulo en una placa hija). Huella 29 x 12,7 mm, 8 pines 1,3 mm (hoja p.6).

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /RELE_2/
File: rele_10a_driver_v1.kicad_sch

Title: rele_10a_driver_v1 - rele G2RL con driver y MOV

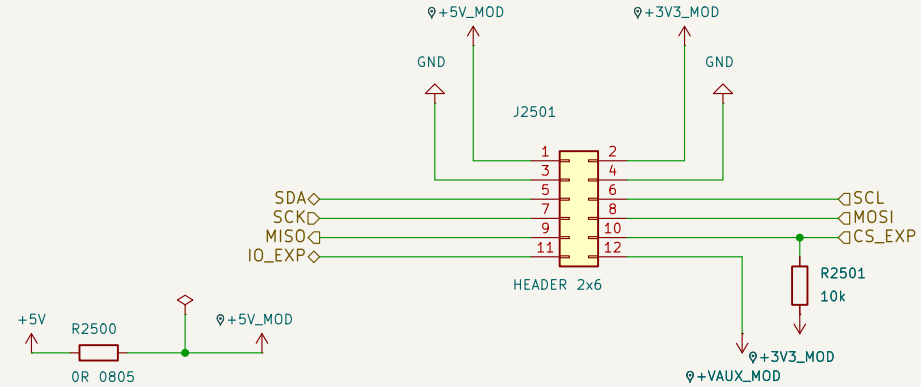
Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 31/33

CONECTOR DE EXPANSION (I2C + SPI + RIELES) Y PANTALLA OLED I2C | expansion_oled_v1

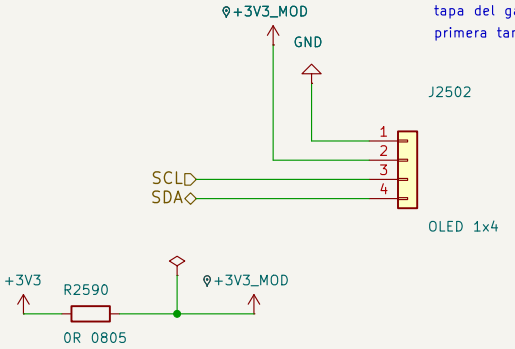
K1 Es el conector de M-05: reles 3-4 (PCF8574 + 2 x rele_10a_driver_v1), entradas 5-8, PT100 3-4 (CS_EXP), segundo ADS1115 (0x49), INA219 para @energia, microSD externa.

K2 Direcciones I2C ocupadas: 0x38 PCF8574AT, 0x48 ADS1115, 0x51 PCF8563, 0x3C OLED. Libres para expansion: 0x20-0x27 (PCF8574 sin A), 0x39-0x3F, 0x49-0x4B, 0x40-0x4F (INA219).

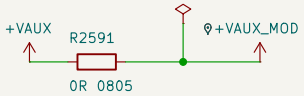
K3 OLED: 20 mA a 3,3 V; cable de 4 hilos <= 30 cm a la tapa del gabinete. Sin poblar el display en la primera tanda (el header si).



Rn00: 0R = corte y medicion del bloque
I esp. 0 sin placa de expansion (max 500 mA)



Rn90: 0R = corte y medicion del bloque
I esp. 10-20 mA con OLED 0,96" encendido



Rn91: 0R = corte y medicion del bloque
I esp. 0 sin placa de expansion

Biblioteca: expansion_oled_v1

ORIGEN: Termovigia Base v2 hoja 3 (J302 expansion 1x6 + J303 OLED GND-VCC-SCL-SDA, H4 de la auditoria), ampliado a 2x6 con SPI.

PROBADO: orden de pines del OLED auditado en v2 (H4). Header: NO probado.

USO: una instancia. Rieles y buses, sin logica. IO_EXP (pin 11) comanda un SSR externo (3-32 V DC, 5-10 mA): sin etapa de potencia ni dimmer en placa (20-sep).

DEPENDE: +5V, +3V3, +VAUX, GND, I2C, SPI, CS_EXP, IO_EXP.

GOTCHAS: el pin 12 lleva +VAUX (12 V) al lado de senales de 3,3 V: rotular en serigrafia.

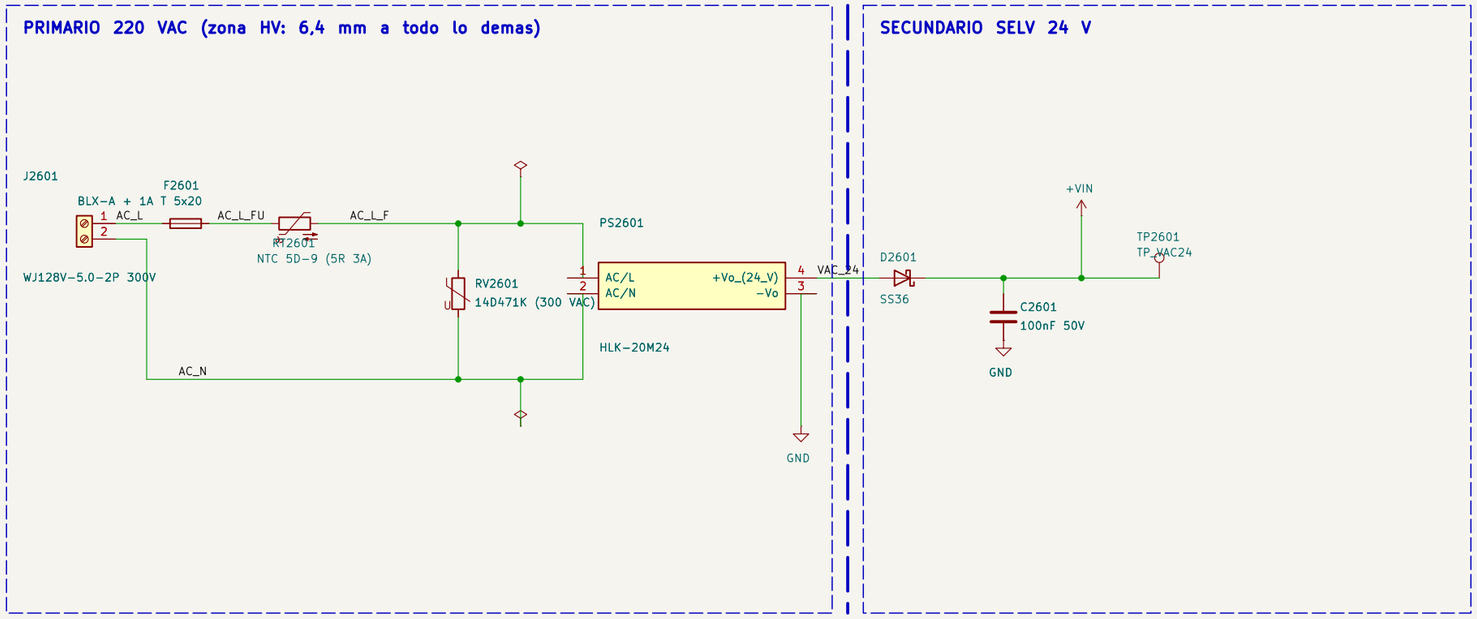
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /EXPANSION_OLED/
File: expansion_oled_v1.kicad_sch

Title: expansion_oled_v1 - conector de expansion y OLED

Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 32/33

FUENTE DE 220 V EN PLACA: MODULO AC-DC ENCAPSULADO HLK-20M24 -> +VIN 24 V | fuente_ac_12v_v1



BARRERA 3 kVAC
primario / secundario del modulo

K1 Balance a 24 V (rev E.1): +5V = BQ24075 1,07 A (carga de la celda + S3 + reles) + modem 1,46 A pico / 0,3 A medio: 2,5 A pico x 5 V / 0,9 = 14 W pico, 7,5 W medio: + lazos 24 V 1,0 W + +VAUX 1,2 W = 9,7 W medio / 16 W pico de 20 W: ALCANZA. Sirena 24 V / 15 W: solo INTERMITENTE con la celda cargando (15 + 9,7 = 24,7 W > 20 W: el modulo entra en hiccup): sin red la sirena no suena (va por +VIN). HLK-30M24C (30 W) queda de alternativa (stock 55 < 100, M-16).

K2 M-10 peor caso -> rating: red 220 V +10 % = 242 Vrms -> 342 Vpk: bornera 300 V (rms), MOV 14D471K 300 VAC / 385 Vdc (Vn 470 V, clamp 775 V), aislacion del modulo 3000 VAC. Fusible: 20 W / 0,85 / 85 V = 0,28 A continuo en 85 VAC -> 1 A T (3,6x): inrush 30 A 1 ms = 0,9 A2s << I2t del 1 A T (~5 A2s).

K3 Pico de arranque en 24 V: C101 100 uF + C2701/C2702 20 uF + C103 10 uF = 130 uF x 24 V; el HLK arranca con limite de corriente y soft-start: sube en < 2 ms. El TPS54360 arranca en 3,6 ms (SS) cuando +VIN > 4,5 V; el BQ24075 y el TPS61252 del modem despues.

K4 Layout (@pcb): AC_L / AC_L_F / AC_N en la netclass HV_220VAC (.kicad_dru: >= 6,4 mm de clearance y creepage a todo lo demas, keepout en 4 capas). Fusible, NTC y varistor del lado PRIMARIO, pegados a la bornera; ranura fresada de 2 mm bajo la barrera del modulo (el HLK-20M declara 6,5 mm entre primario y secundario); cobre del primario solo en la capa superior; sin serigrafia ni pistas de otras redes debajo del modulo; 'PELIGRO 220 V' en serigrafia.

K5 Con el modulo poblado el jack y la bornera (12-30 V) quedan para banco: D1 y D101 hacen el OR. Sin el modulo (variante DC externa 24 V): no poblar PS1, F1, RT1, RV1, J1, D1, C1 (y TR3101 con sus R).

K6 Medicion de la tension de red (rev E): en tension_red_zmpt_v1, con bornera propia (el instalador puentea L/N desde esta bornera): 4 x 100k + ZMPT101B, 0,55 mA, misma zona HV.

Biblioteca: fuente_ac_12v_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-18, pedido de Matias: la fuente de 220 V en la placa). Modulo AC-DC encapsulado certificado (decision del Director, M-13: no se disena un flyback para 10 placas).
PROBADO: NO probado en hardware. Cadena bornera-fusible-NTC-varistor-modulo es la de la hoja de datos del HLK-20M12 (fig. 'typical application').
USO: instanciar 1 vez por placa. Sin pines jerarquicos: entrega +VIN (24 V) por su diodo de OR. Redes AC_L, AC_L_F, AC_N = zona HV.
DEPENDE: fuente_12v_5v_3v3_v1 (comparte +VIN; su D102/C101 protegen tambien esta entrada).
GOTCHAS: 220 V en la placa: el gabinete va en tablero, IP65 con prensacables y la tapa cerrada; probar en banco SIEMPRE con la fuente de 12-24 V primero y el modulo a 220 V con lampara serie. Alternativa Mean Well IRM-20-24: UL/CB, huella distinta (52 x 27 mm).

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia
Sheet: /FUENTE_220VAC/
File: fuente_ac_12v_v1.kicad_sch

Title: fuente_ac_12v_v1 - 220 VAC -> 24 V en placa (HLK-20M24)

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 33/33