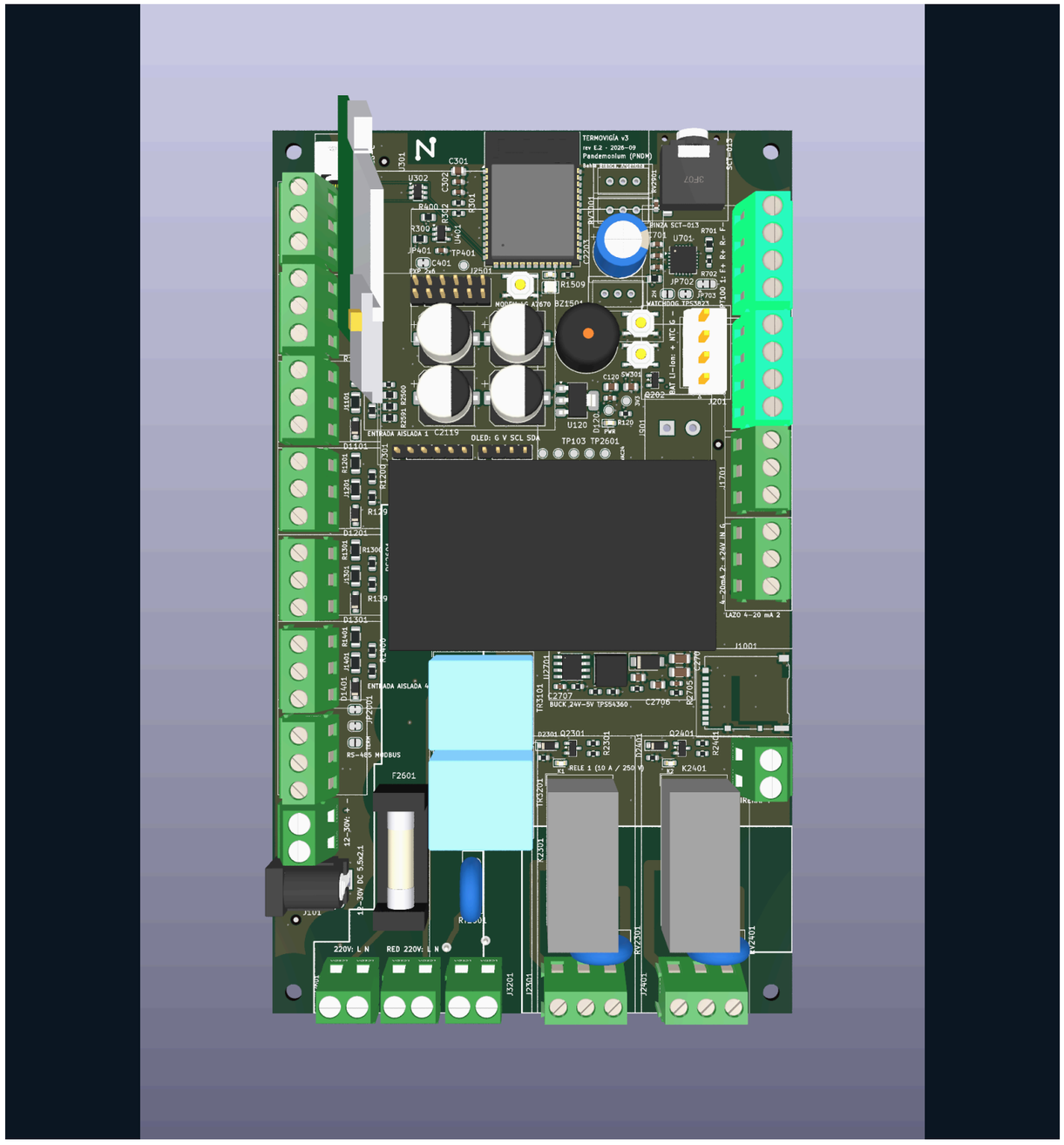
REVISIÓN DE DISEÑO ANTES DE FABRICAR · UTN FRBB · 24/09/2026

Termovigía v3
INDUSTRIAL

rev E.2 · 100 × 170 mm · 6 capas · **ruteo incompleto: 499 conexiones pendientes**

Placa de planta: frío (1-Wire) y calor (PT100, 4-20 mA), corriente y tensión de red, RS-485 Modbus, 2 relés, WiFi o 4G y respaldo con batería Li-ion 18650.

Esquemático · PCB por capas · zonas clave · 3D · datos para fabricar

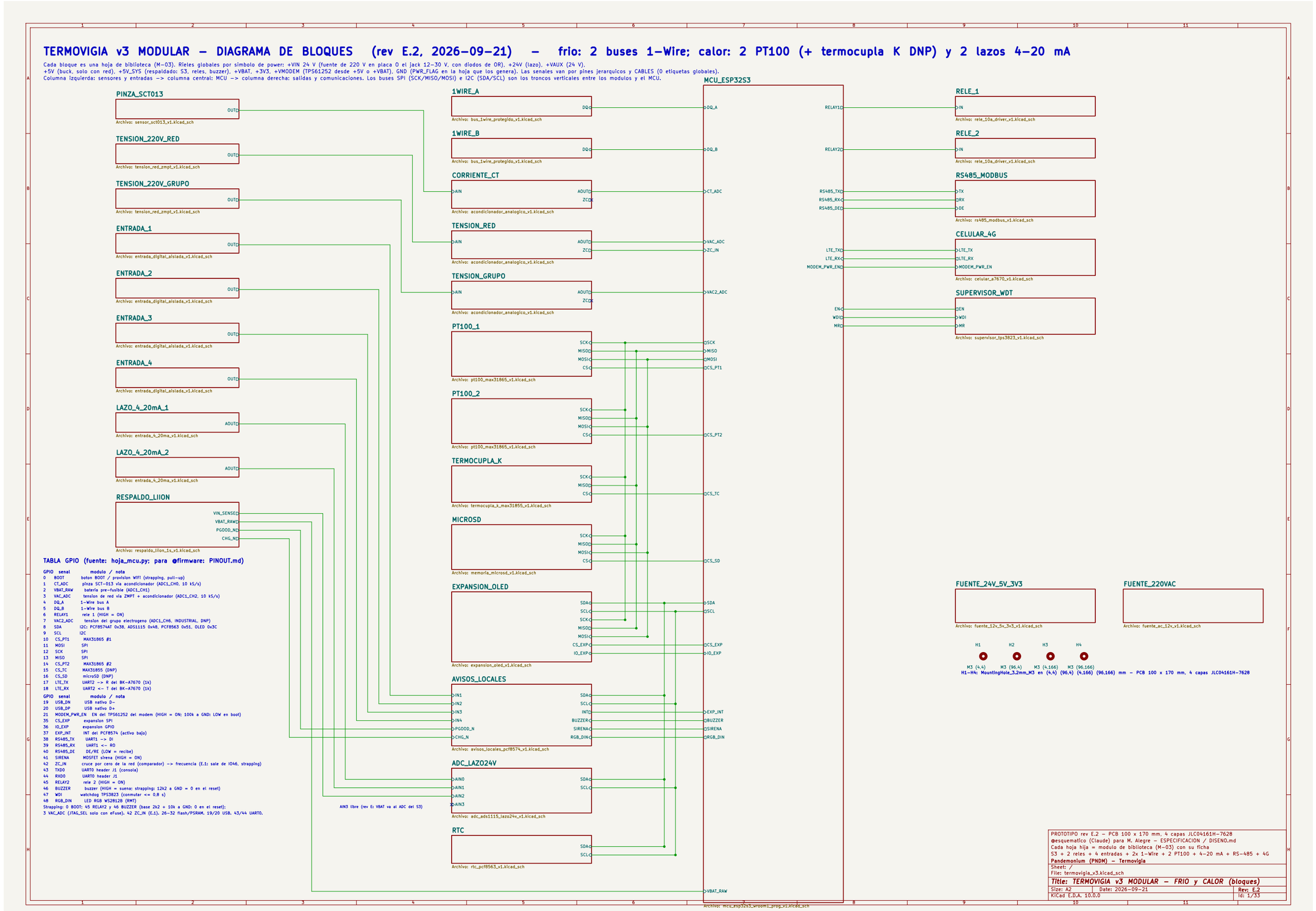


PANDEMONIUM

Matías Alegre · Pandemonium (PNDM) · Bahía Blanca, Argentina · UTN FRBB · Diseño y Manufactura de Circuitos Electrónicos · 24 de septiembre de 2026

Esquemático general (hoja raíz)

hoja 1 de 33 · vectorial, se puede ampliar

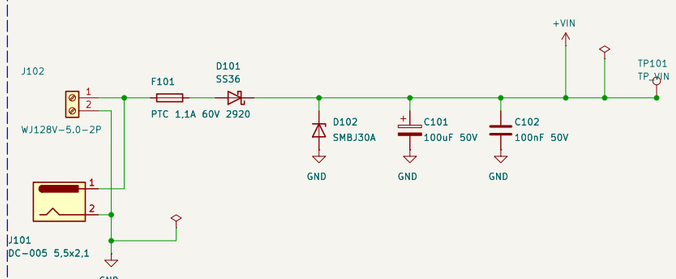


Esquemático · FUENTE_24V_5V_3V3

hoja 2 de 33 · vectorial, se puede ampliar

FUENTE: +VIN 24 V (HLK-20M24 o jack 12-30 V) -> BUCK TPS54360 +5V -> (cargador) -> +5V_SYS -> LDO +3V3; +24V lazo; +VAUX | fuente_12v_5v_3v3_v1

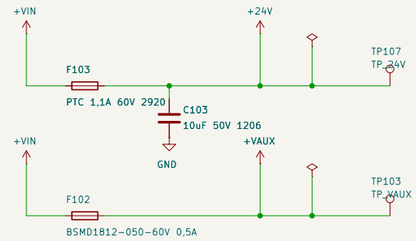
1) ENTRADA DC 12-30 V (jack + bornera), PTC, INVERSION, TVS -> +VIN



K1 +VIN = 24 V nominal (HLK-20M24 por su diodo D2601 o jack/bornera 12-30 V). Rev E: la SLA y su cargador de 14,1 V salieron (C1 del verificador): el respaldo es Li-ion 1S (hoja RESPALDO). Consumo en +VIN: buck 5 V 1,2 A tipico (2,3 A pico) x 5 / 0,9 / 24 = 0,28 A (0,53 A pico) + lazo 24 V 0,04 A + +VAUX 0,05 A = 0,37 A: con sirena de 24 V (0,6 A): 1,2 A pico intermitente.

K2 M-10 peor caso -> rating: jack 30 V + clamp D2 48,4 V -> TPS54360 65 V abs, C1 50 V, SS36 60 V, PTC 60 V, PTC F2 30 V (solo ve 24 V en regimen).

1b) +24V (lazo 4-20 mA) Y +VAUX DESDE +VIN, CON PTC



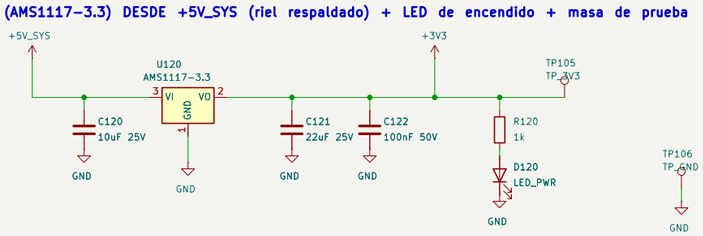
K3 Rev E: sale el boost MT3608 del lazo (28 V abs, sin margen) porque +VIN ya es 24 V. +VAUX tambien es 24 V (antes 12 V): entradas aisladas 11,4 mA por canal, sirena 24 V.

2) BUCK 24 V -> 5 V / 3,5 A (buck_tps54360_v1) = +5V: reles, cargador de la celda, boost del modem (via +5V_SYS)



K4 +5V (solo con red): reles 0,15 A + buzzer 0 + cargador BQ24075 hasta 1,07 A (ILIM) + lo que pide +5V_SYS con red (pasa-directo: LDO 0,35 A + boost del modem 0,7 A) = 2,3 A pico, 1,2 A tipico. Sin red +5V = 0 y +5V_SYS lo sostiene la celda (hoja RESPALDO). El USB-C del MCU inyecta 5 V en +5V por D301 (programar sin red: el cargador toma hasta 1,07 A del puerto: usar cargador de 2 A).

3) LDO 3,3 V (AMS1117-3.3) DESDE +5V_SYS (riel respaldado) + LED de encendido + masa de prueba



K5 3V3: S3 medio 0,12 A, pico WiFi 0,35 A; + MAX31865 x2 6 mA + MCP6004 x3 1,5 mA + resto 20 mA = 0,15 A medio. P = (5 - 3,3) x 0,15 = 0,26 W (pico 0,65 W) en SOT-223 (Rth - 60 C/W con cobre): +16 C. Sin red el LDO cuelga de +5V_SYS (boost desde la celda): 3,3 V mientras la celda este por encima de 3,0 V.

Biblioteca: fuente_12v_5v_3v3_v1

ORIGEN: Termovigia v3 (2026-09-17), rev E 2026-09-21: entrada a 24 V (HLK-20M24), buck TPS54360 a 5 V, +24V y +VAUX directos de +VIN, LDO desde +5V_SYS (respaldo Li-ion). Topologia de entrada (PTC/diodo serie/TVS) heredada de Base v2.

PROBADO: NO probado en hardware. ERC 0/0; buck simulado (simulacion/SIMULACION.md).

USO: instanciar 1 vez: entrega rieles globales +VIN (24 V), +24V (lazo), +VAUX (24 V), +5V (solo con red) y +3V3 con PWR_FLAG. +5V_SYS lo entrega RESPALDO. Sin pines jerarquicos. La LITE la instancia igual.

DEPENDE: fuente_ac_12v_v1 (+VIN por D2601) o el jack; respaldo_liion_1s_v1 (+5V_SYS para el LDO).

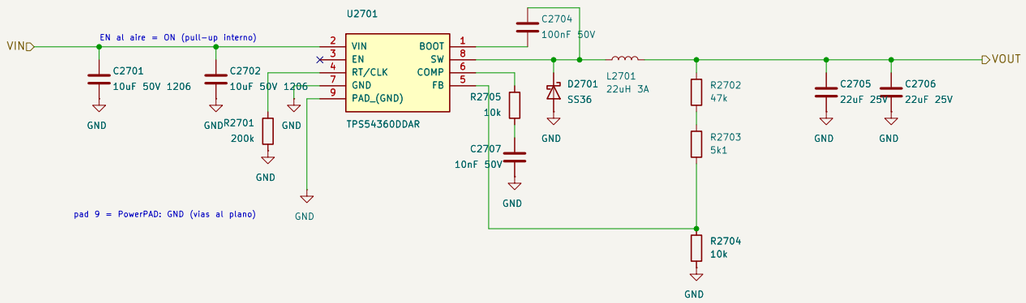
GOTCHAS: con 12 V en el jack: +5V ok, pero +24V / +VAUX quedan en 12 V (sin lazo 4-20 mA). Layout del lazo caliente del TPS54360.

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia
Sheet: /FUENTE_24V_5V_3V3/
File: fuente_12v_5v_3v3_v1.kicad_sch
Title: fuente_12v_5v_3v3_v1 - +VIN 24 V, buck 5 V, +24V lazo, +VAUX
Size: A3 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 2/33

Esquemático · FUENTE_24V_5V_3V3/BUCK_5V

hoja 3 de 33 · vectorial, se puede ampliar

BUCK 3,5 A TPS54360 (4,5–60 V): +VIN 24 V –> +5V (reles, cargador de la bateria, LDO 3,3 V via +5V_SYS) | buck_tps54360_v1



K1 Por que TPS54360 (rev E): +VIN = 24 V (HLK-20M24) y jack hasta 30 V con clamp de 48 V (SMBJ30A): 60 V op / 65 V abs. 3,5 A, USD 0,63, stock 60.159 (C44377, 20-sep). Reemplaza al AP63205 (32 V abs: sin margen contra el clamp) y al TPS54202 del cargador SLA (la SLA salio en rev E).

K2 Corriente en +5V (E.1): BQ24075 1,07 A (ILIM: carga de la celda + todo +5V_SYS: S3, reles, buzzer) + fuente del modem TPS61252 1,46 A pico (0,3 A medio) + expansion = 2,5 A pico < 3,5 A (Ilim 4,5 A min). Continuo tipico 1,0 A.

K3 M-10 peor caso –> rating: VIN 30 V (jack) y clamp 48 V < 65 V abs: C1/C2 50 V; D1 60 V; L1 Isat 3 A > 2,4 A: C5/C6 25 V: R2 (5 V)^2/52k = 0,5 mW. Perdidas ~8 % de 11 W = 0,9 W en HSOP-8 con PowerPAD (Rth ~40 C/W): +36 C.

K4 Lazo: gmea 350 uA/V, gmps 12 A/V, Vref 0,8 V (hoja TI SLVSBB4). fco 30 kHz (fsw/16). Con 12 V en el jack (banco) sigue regulando 5 V (D = 42 %). Soft-start interno (fig. 21, depende de fsw): sin pin SS.

Layout: lazo C1/C2-U1-D1 minimo (el diodo de rueda libre cierra el lazo caliente), SW-L1 corto, FB y COMP lejos de SW, PowerPAD a plano GND con vias.

Biblioteca: buck_tps54360_v1

ORIGEN: nuevo en Termovigia v3 rev E (2026-09-20). Circuito tipico de la hoja de datos TI TPS54360 (SLVSBB4) con los valores calculados arriba.

PROBADO: NO probado en hardware. Simulado (modelo promediado) en simulacion/SIMULACION.md.

USO: una instancia (anidada en FUENTE). VIN 12–30 V (24 V nominal), VOUT 4,97 V, hasta 3 A. Refs 27xx. Sirve igual para la placa LITE.

DEPENDE: GND. La madre pone el PWR_FLAG y el riel +5V a la salida.

GOTCHAS: no sincronico: D1 obligatorio. Cambiar R2/R3 cambia Vout (0,8 V de referencia). El pad 9 es el PowerPAD (GND): no hay pin de soft-start (E.1, hallazgo de @pcb).

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03), anidado en FUENTE (+5V)
Pandemonium (PNDM) – Termovigia

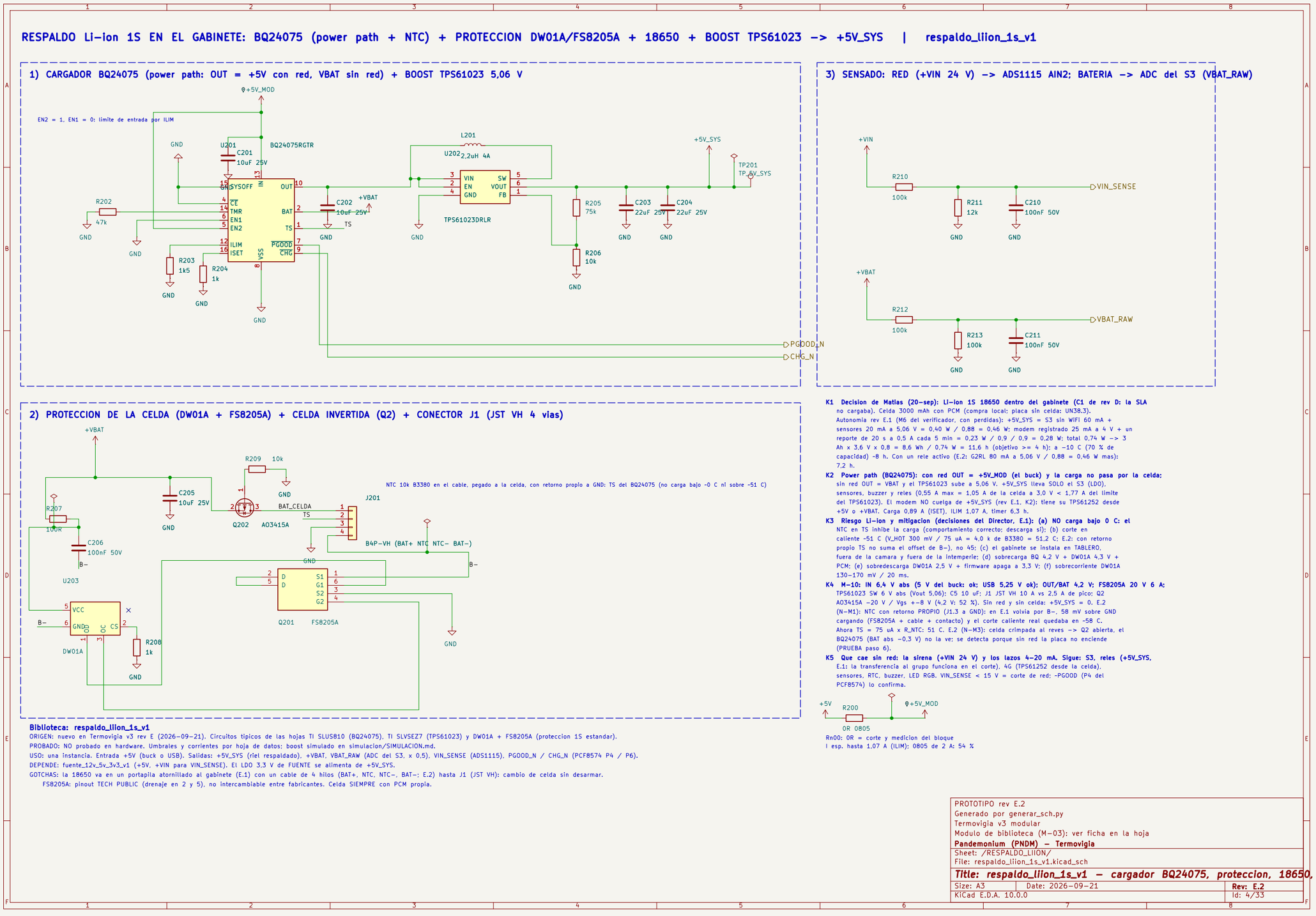
Sheet: /FUENTE_24V_5V_3V3/BUCK_5V/
File: buck_tps54360_v1.kicad_sch

Title: buck_tps54360_v1 – buck 3,5 A 60 V, 24 V –> 5 V

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 3/33

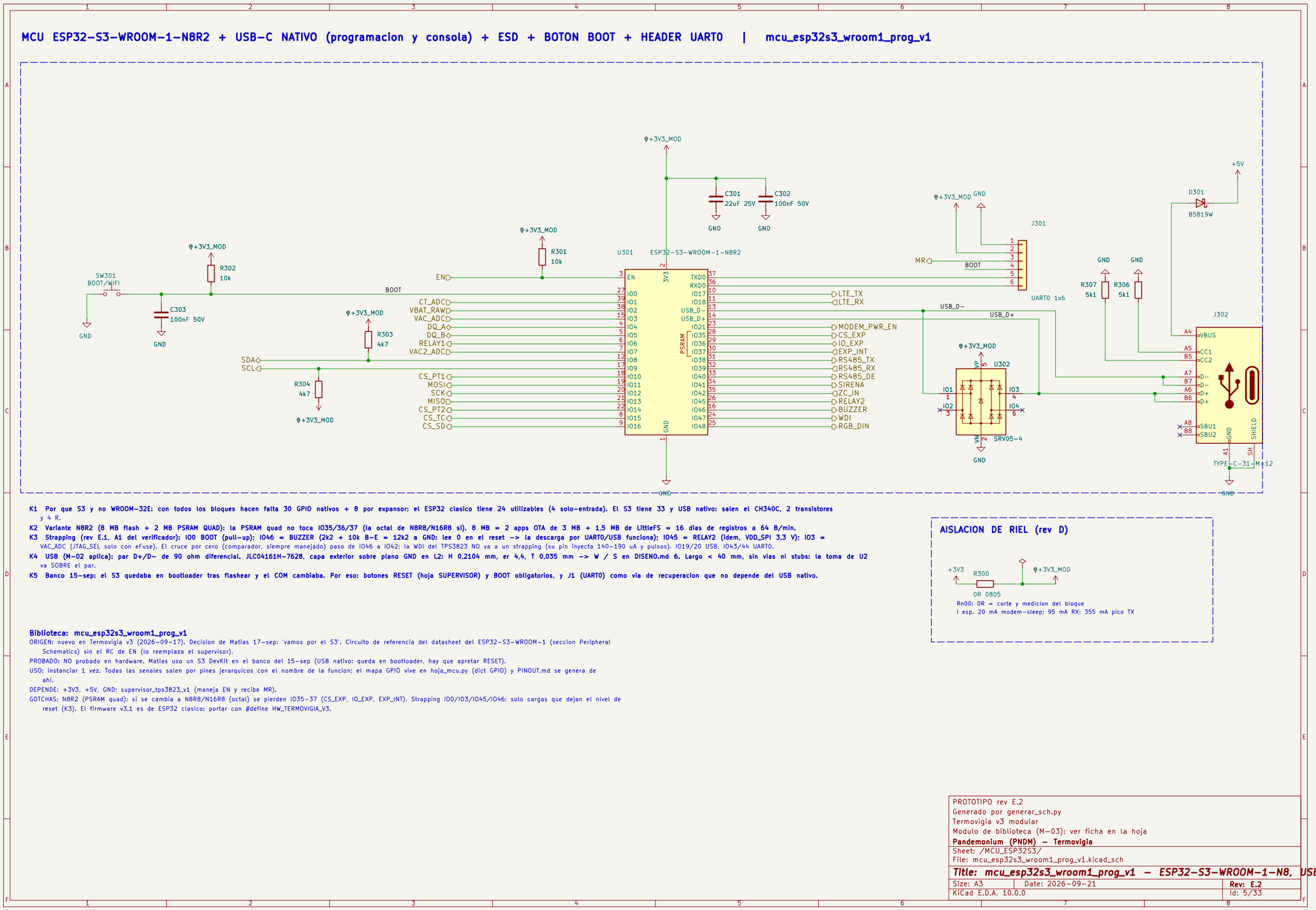
Esquemático · RESPALDO_LIION

hoja 4 de 33 · vectorial, se puede ampliar



Esquemático · MCU_ESP32S3

hoja 5 de 33 · vectorial, se puede ampliar



K1 Por que S3 y no WROOM-32E: con todos los bloques hacen falta 30 GPIO nativos + 8 por expansor; el ESP32 clasico tiene 24 utilizables (4 solo-entrada). El S3 tiene 33 y USB nativo: salen el CH340C, 2 transistores y 4 R.

K2 Variante N8R2 (8 MB flash + 2 MB PSRAM QUAD): la PSRAM quad no toca IO35/36/37 (la octal de N8R8/N16R8 si). 8 MB = 2 apps OTA de 3 MB + 1,5 MB de LittleFS = 16 dias de registros a 64 B/min.

K3 Strapping (rev E.1, A1 del verificador): IO0 BOOT (pull-up): IO46 = BUZZER (2k2 + 10k B-E = 12k2 a GND: lee 0 en el reset -> la descarga por UART0/USB funciona); IO45 = RELAY2 (idem, VDD_SPI 3,3 V); IO3 = VAC_ADC (JTAG_SEL solo con eFuse). El cruce por cero (comparador, siempre manejado) paso de IO46 a IO42: la WDI del TPS3823 NO va a un strapping (su pin inyecta 140-190 uA y pulsos). IO19/20 USB, IO43/44 UART0.

K4 USB (M-02 aplica): par D+/D- de 90 ohm diferencial. JLC04161H-7628, capa exterior sobre plano GND en L2: H 0,2104 mm, er 4,4, T 0,035 mm -> W / S en DISENO.md 6. Largo < 40 mm, sin vias ni stubs: la toma de U2 va SOBRE el par.

K5 Banco 15-sep: el S3 quedaba en bootloader tras flashear y el COM cambiaba. Por eso: botones RESET (hoja SUPERVISOR) y BOOT obligatorios, y J1 (UART0) como via de recuperacion que no depende del USB nativo.

Biblioteca: mcu_esp32s3_wroom1_prog_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17). Decision de Matias 17-sep: 'vamos por el S3'. Circuito de referencia del datasheet del ESP32-S3-WROOM-1 (seccion Peripheral Schematics) sin el RC de EN (lo reemplaza el supervisor).

PROBADO: NO probado en hardware. Matias uso un S3 DevKit en el banco del 15-sep (USB nativo: queda en bootloader, hay que apretar RESET).

USO: instanciar 1 vez. Todas las senales salen por pines jerarquicos con el nombre de la funcion: el mapa GPIO vive en hoja_mcu.py (dict GPIO) y PINOUT.md se genera de ahi.

DEPENDE: +3V3, +5V, GND: supervisor_tps3823_v1 (maneja EN y recibe MR).

GOTCHAS: N8R2 (PSRAM quad): si se cambia a N8R8/N16R8 (octal) se pierden IO35-37 (CS_EXP, IO_EXP, EXP_INT). Strapping IO0/IO3/IO45/IO46: solo cargas que dejan el nivel de reset (K3). El firmware v3.1 es de ESP32 clasico: portar con #define HW_TERMOVIGIA_V3.

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) — Termovigia

Sheet: /MCU_ESP32S3/
File: mcu_esp32s3_wroom1_prog_v1.kicad_sch

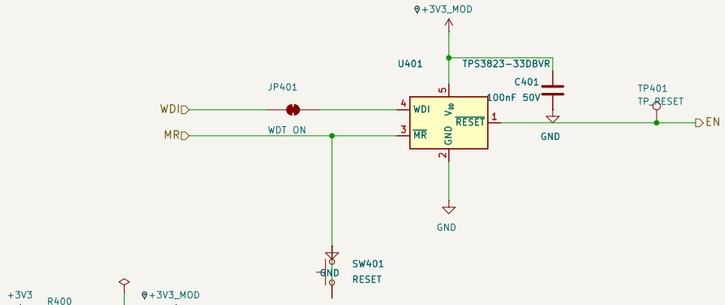
Title: mcu_esp32s3_wroom1_prog_v1 — ESP32-S3-WROOM-1-N8, USB-C,

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 5/33

Esquemático · SUPERVISOR_WDT

hoja 6 de 33 · vectorial, se puede ampliar

SUPERVISOR DE TENSION + WATCHDOG EXTERNO + BOTON RESET | supervisor_tps3823_v1



Rn00: 0R = corte y medicion del bloque I esp. 10 uA (TPS3823 5 uA tip.)

Biblioteca: supervisor_tps3823_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17). Circuito de la hoja de datos TI SLVS1650 (TPS3823-33: reset 200 ms, WDT 1.6 s, MR con pull-up).

PROBADO: NO probado en hardware. Premisa 'WDI al aire = watchdog deshabilitado' verificada en el PDF por @verificador (rev A).

USO: una instancia. EN (salida push-pull) al EN del MCU; WDI desde un GPIO; MR desde el boton y el header UART0.

DEPENDE: +3V3, GND.

GOTCHAS: nunca conectar el boton ni el header a EN (cortocircuitarian la salida push-pull): van a MR. JP1 cortado = sin watchdog.

K1 Por que un supervisor externo si el S3 tiene RWDT y brown-out: (a) flanco limpio de EN con fuentes lentas (arranque del buck + LDO): RESET se suelta 200 ms DESPUES de 2,93 V; (b) el watchdog externo no depende del firmware ni del reloj del S3: si el chip queda colgado con el RWDT deshabilitado (bug, OTA a medias) igual resetea; (c) un equipo de alarma que se cuelga en silencio es el peor modo de falla del producto.

K2 WDI: el firmware conmuta IO47 cada <= 0,8 s (timeout 1,6 s tip., 0,9 s min). Con IO47 en alta impedancia (boot, descarga de firmware) el TPS3823 DESHABILITA el watchdog: no interrumpe un flasheo. La tarea que conmuta WDI es la de supervision (la que chequea sondas + red), no un timer.

K3 RESET push-pull maneja EN directo (R1 10k del MCU queda en paralelo, sin efecto). El boton y el pin RST del header van a MR, NUNCA a EN (cortocircuitarian la salida).

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) — Termovigia
Sheet: /SUPERVISOR_WDT/
File: supervisor_tps3823_v1.kicad_sch

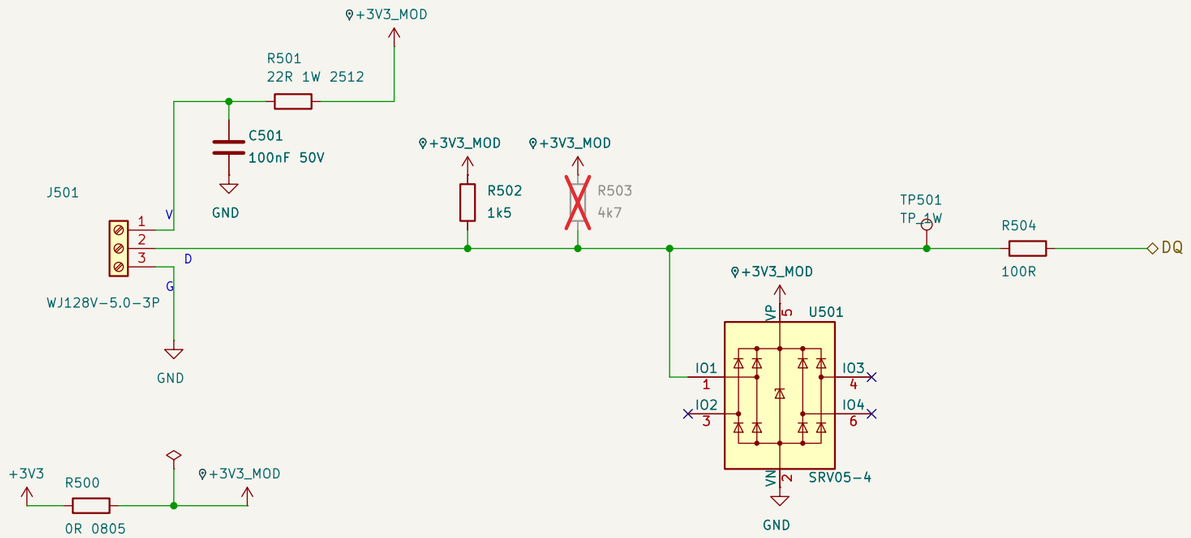
Title: supervisor_tps3823_v1 — reset, watchdog externo, boton RESET

Size: A3	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 6/33

Esquemático · 1WIRE_A

hoja 7 de 33 · vectorial, se puede ampliar

BUS 1-WIRE PROTEGIDO (DS18B20, FRIO) | bus_1wire_protegido_v1



Rn00: 0R = corte y medicion del bloque
I esp. < 5 mA (3 sondas convirtiendo 1,5 mA c/u + pull-up 1k5)

K1 Pull-up: el que muestrea es el S3 (VIH 0,75 x 3,3 = 2,48 V): t = 1,386 x R x C.
37 m Cat5e (56 pF/m) + 3 sondas = 2,15 nF: 1k5 -> 4,5 us (margen 2,2x sobre los 10 us de OneWire). 4k7 -> 14 us: NO anda.
La sonda hunde 3,3/1k5 = 2,2 mA de los 4 mA que garantiza a 0,4 V (1,8x).

K2 Un bus por camara / reefer: nunca dos troncos en el mismo pin (estrella en el master = reflexiones).
Cadena con stubs <= 3 m. Hasta 8 sondas: 8 x 1,5 mA x 22 ohm = 0,26 V -> 3,04 V en la sonda (min 3,0 V).

K3 M-10: R1 ve 3,3 V en corto = 0,5 W -> 2512 de 1 W.
SRV05-4: +-8 kV contacto (IEC 61000-4-2).
0xB4 (Read Power Supply) detecta una sonda sin VCC (modo parasito): el firmware lo chequea al arrancar.

Biblioteca: bus_1wire_protegido_v1

ORIGEN: Termovigia Mini bloque 2 (2k2 + 100R + TVS P6KE6.8CA + clamps 1N4148), rev: pull-up 1k5 por el banco del 2026-09-15 y TVS de 1 nF reemplazado por SRV05-4 (pendiente anotado el 2026-09-08).
PROBADO: topologia R serie + pull-up: Mini y Mini LITE en banco, 37 m en cadena, 0 errores de CRC (2026-09-15). El SRV05-4 en este bus: NO probado.
USO: una instancia por bus. Pin jerarquico DQ a un GPIO con OneWire. Bornera V-D-G.
DEPENDE: +3V3, GND.
GOTCHAS: no bajar el pull-up de 1 k (VOL de la sonda). El cable: DQ y GND en el MISMO par trenzado.

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

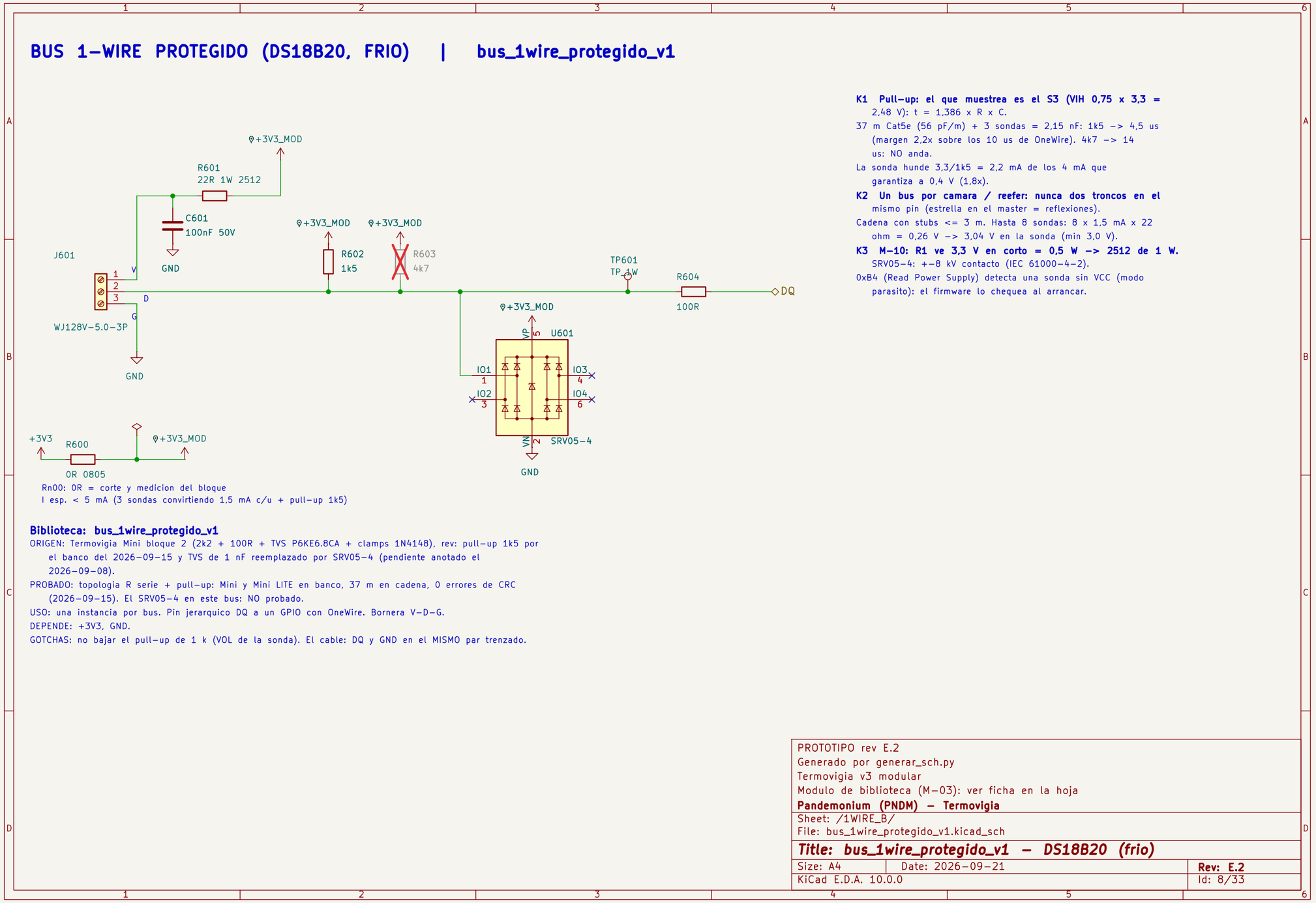
Sheet: /1WIRE_A/
File: bus_1wire_protegido_v1.kicad_sch

Title: bus_1wire_protegido_v1 - DS18B20 (frio)

Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 7/33

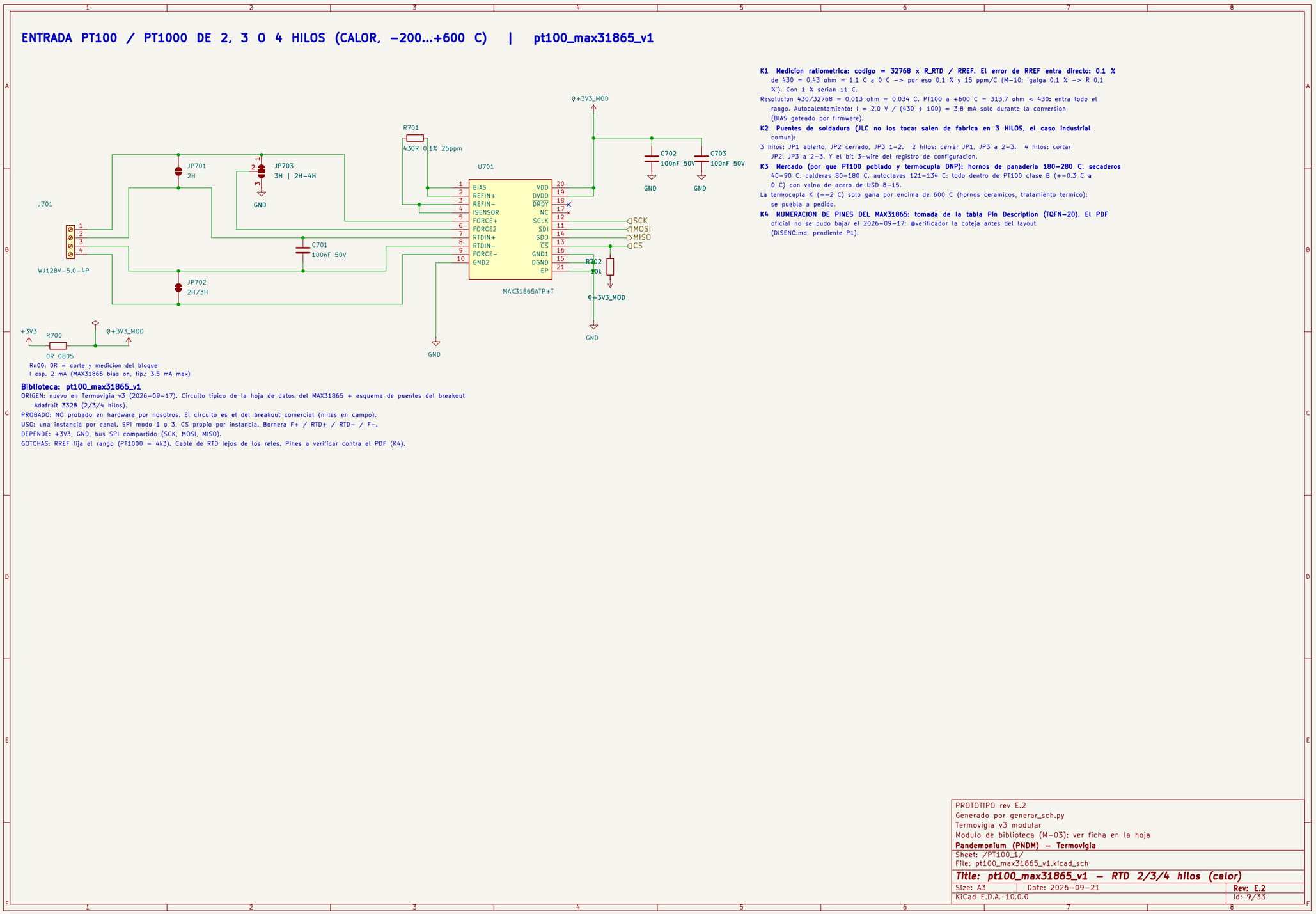
Esquemático · 1WIRE_B

hoja 8 de 33 · vectorial, se puede ampliar



Esquemático · PT100_1

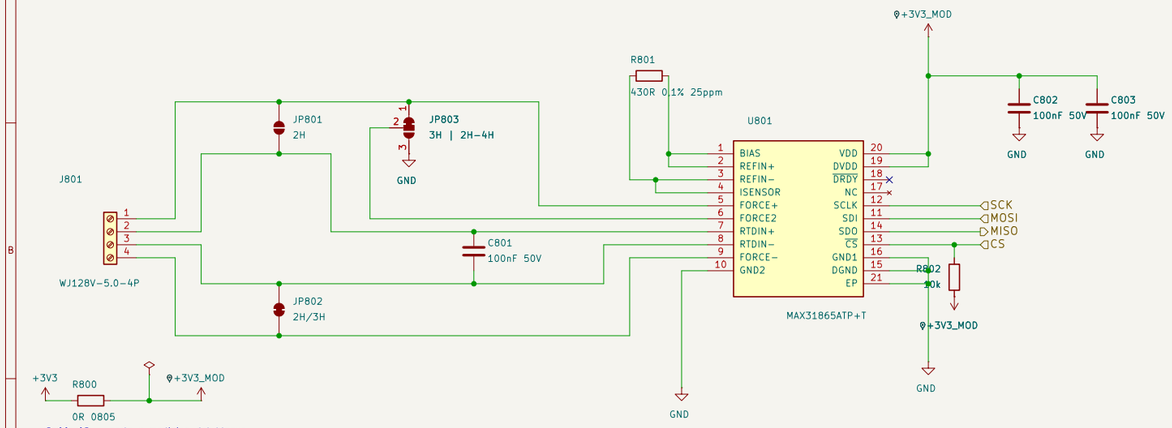
hoja 9 de 33 · vectorial, se puede ampliar



Esquemático · PT100_2

hoja 10 de 33 · vectorial, se puede ampliar

ENTRADA PT100 / PT1000 DE 2, 3 O 4 HILOS (CALOR, −200…+600 C) | pt100_max31865_v1



Rn00: 0R = corte y medicion del bloque
I esp. 2 mA (MAX31865 bias on, tip.: 3,5 mA max)

Biblioteca: pt100_max31865_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17). Circuito tipico de la hoja de datos del MAX31865 + esquema de puentes del breakout Adafruit 3328 (2/3/4 hilos).
PROBADO: NO probado en hardware por nosotros. El circuito es el del breakout comercial (miles en campo).
USO: una instancia por canal. SPI modo 1 o 3. CS propio por instancia. Bornera F+ / RTD+ / RTD− / F−.
DEPENDE: +3V3, GND, bus SPI compartido (SCK, MOSI, MISO).
GOTCHAS: RREF fija el rango (PT1000 = 4k3). Cable de RTD lejos de los reles. Pines a verificar contra el PDF (K4).

K1 Medicion ratiometrica: codigo = 32768 x R_RTD / RREF. El error de RREF entra directo: 0,1 % de 430 = 0,43 ohm = 1,1 C a 0 C -> por eso 0,1 % y 15 ppm/C (M-10: 'galga 0,1 % -> R 0,1 %'). Con 1 % serian 11 C.
Resolucion 430/32768 = 0,013 ohm = 0,034 C. PT100 a +600 C = 313,7 ohm < 430: entra todo el rango. Autocalentamiento: I = 2,0 V / (430 + 100) = 3,8 mA solo durante la conversion (BIAS gateado por firmware).

K2 Puentes de soldadura (JLC no los toca: salen de fabrica en 3 HILOS, el caso industrial comun):
3 hilos: JP1 abierto, JP2 cerrado, JP3 1-2. 2 hilos: cerrar JP1, JP3 a 2-3. 4 hilos: cortar JP2, JP3 a 2-3. Y el bit 3-wire del registro de configuracion.

K3 Mercado (por que PT100 poblado y termocupla DNP): hornos de panaderia 180-280 C, secaderos 40-90 C, calderas 80-180 C, autoclaves 121-134 C: todo dentro de PT100 clase B (+-0,3 C a 0 C) con vaina de acero de USD 8-15.
La termocupla K (+-2 C) solo gana por encima de 600 C (hornos ceramicos, tratamiento termico): se puebla a pedido.

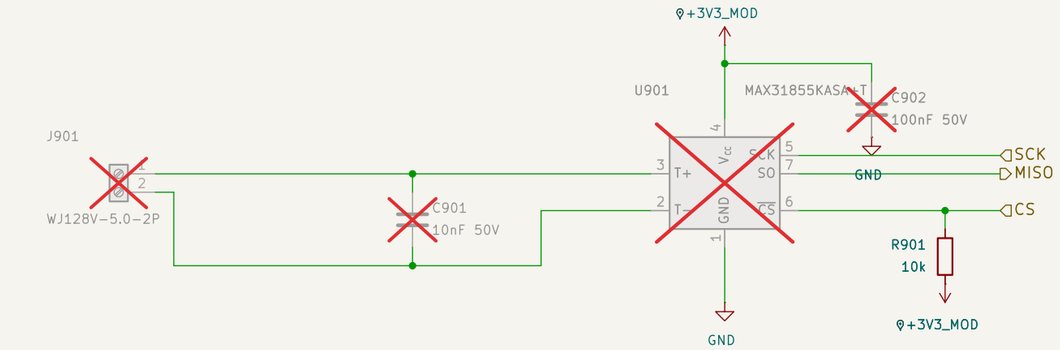
K4 NUMERACION DE PINES DEL MAX31865: tomada de la tabla Pin Description (TQFN-20). El PDF oficial no se pudo bajar el 2026-09-17: @verificador la coteja antes del layout (DISENO.md, pendiente P1).

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) — Termovigia
Sheet: /PT100_2/
File: pt100_max31865_v1.kicad_sch
Title: pt100_max31865_v1 — RTD 2/3/4 hilos (calor)
Size: A3 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 10/33

Esquemático · TERMOCUPLA_K

hoja 11 de 33 · vectorial, se puede ampliar

ENTRADA TERMOCUPLA TIPO K (> 600 C) — NO POBLADA EN LA PRIMERA TANDA | termocupla_k_max31855_v1





Rn00: 0R = corte y medicion del bloque
I esp. 1 mA (MAX31855 0,9 mA tip., 1,5 max)

K1 Por que existe y por que DNP: la PT100 cubre hasta +600 C con +−0,5 C. La termocupla K llega a +1200 C con +−2 C: hornos ceramicos, fundicion, tratamiento termico. Es < 10 % del mercado objetivo.

Costo de poblarla: MAX31855 USD 2,9 + bornera. La huella queda en la placa: se suelda a mano o se pide en la tanda siguiente.

K2 La junta fria es el propio chip: va LEJOS del buck, del LDO y de los reles, con la bornera pegada (gradiente termico = error directo).

T− NO se pone a masa (el chip detecta corto a GND / VCC y cable abierto). MISO es tri-state: comparte el bus SPI.

Biblioteca: termocupla_k_max31855_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17). Circuito tipico de la hoja de datos del MAX31855.

PROBADO: NO probado en hardware.

USO: una instancia por termocupla. SPI solo lectura (sin MOSI), CS propio.

DEPENDE: +3V3, GND, SCK y MISO del bus SPI.

GOTCHAS: todos los componentes con DNP = yes: no salen en el pick&place. Cable de extension tipo K hasta la bornera.

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) — Termovigia

Sheet: /TERMOCUPLA_K/
File: termocupla_k_max31855_v1.kicad_sch

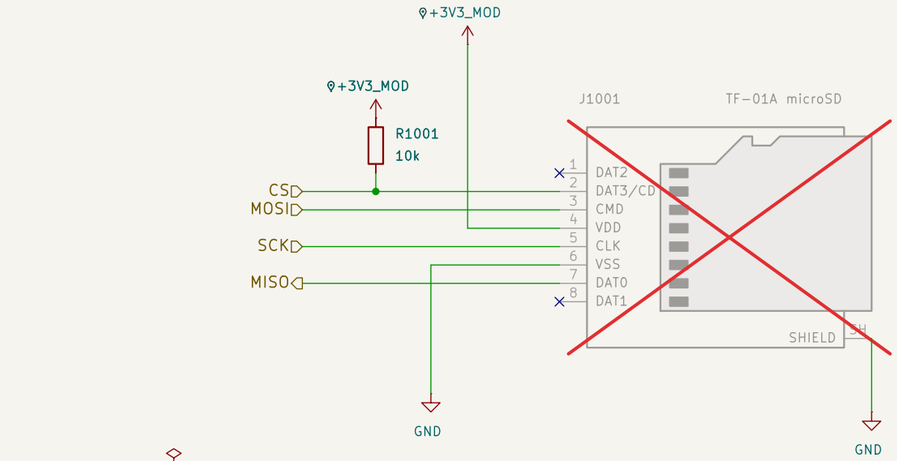
Title: termocupla_k_max31855_v1 — termocupla K (DNP)

Size: A4 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 11/33

Esquemático · MICROSD

hoja 12 de 33 · vectorial, se puede ampliar

MEMORIA PARA LECTURAS SIN CONEXION: FLASH DEL S3 (POBLADO) + ZOCALO microSD (DNP) | memoria_microsd_v1



Rn00: 0R = corte y medicion del bloque
I esp. 0,2 mA reposo / 100 mA escribiendo (microSD)

Biblioteca: memoria_microsd_v1

ORIGEN: nuevo en Termovigia v3 (2026-09-17).
PROBADO: NO probado en hardware.
USO: una instancia. SPI compartido + CS propio. Todos los componentes DNP.
DEPENDE: +3V3, GND, bus SPI.
GOTCHAS: el zocalo Hirose de la huella es de referencia: @pcb la reemplaza por la del TF-01A (LCSC C91145) si difiere.

K1 Cuanta memoria hace falta: un registro = hora (4 B) + 16 sondas x 2 B + 2 PT100 x 2 B + 2 lazos x 2 B + estados (4 B) + CRC = 64 B por minuto = 92 kB/dia.
Flash del S3-N8: particion LittleFS de 1,5 MB = 16 dias sin conexion. Desgaste: 92 kB/dia sobre 1,5 MB con nivelado = 1 borrado cada 16 dias por bloque -> 100 000 ciclos = miles de anios.

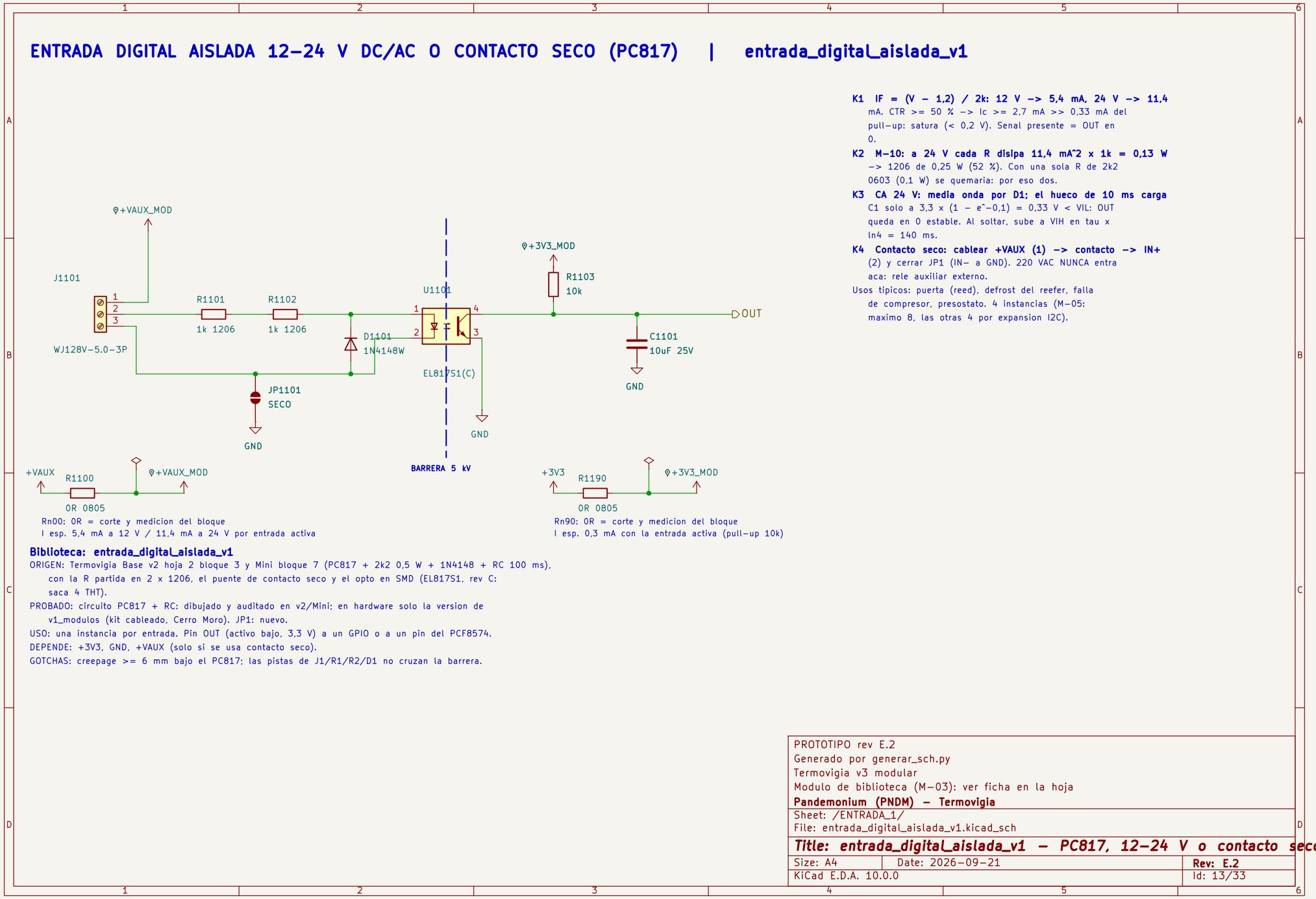
K2 Decision: la flash del modulo ALCANZA para el caso de uso (cortes de internet de horas o dias; el historico legal vive en la nube). POBLADO = nada extra.
microSD (DNP): para el cliente que pide 'caja negra' de un anio (33 MB) o retiro manual de datos. FRAM descartada: 256 kbit = 8 h de registros por USD 2.

K3 Si se puebla: tarjeta industrial, SPI a <= 10 MHz, CS en IO16. La tarjeta es el componente menos confiable del equipo: por eso no va por defecto.

PROTOTIPO rev E.2		
Generado por generar_sch.py		
Termovigia v3 modular		
Modulo de biblioteca (M-03): ver ficha en la hoja		
Pandemonium (PNDM) - Termovigia		
Sheet: /MICROSD/		
File: memoria_microsd_v1.kicad_sch		
Title: memoria_microsd_v1 - registros sin conexion (DNP)		
Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 12/33

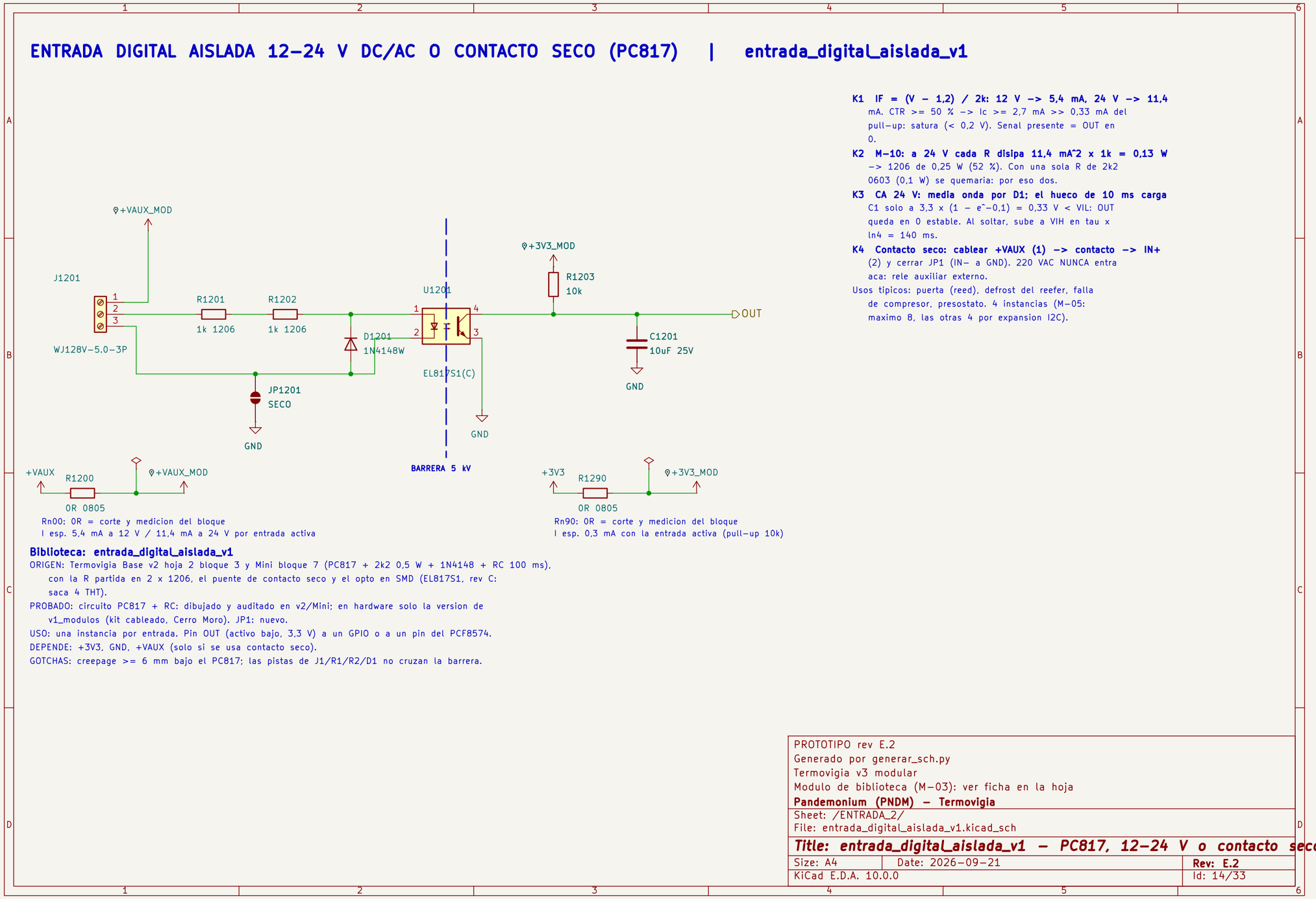
Esquemático · ENTRADA_1

hoja 13 de 33 · vectorial, se puede ampliar



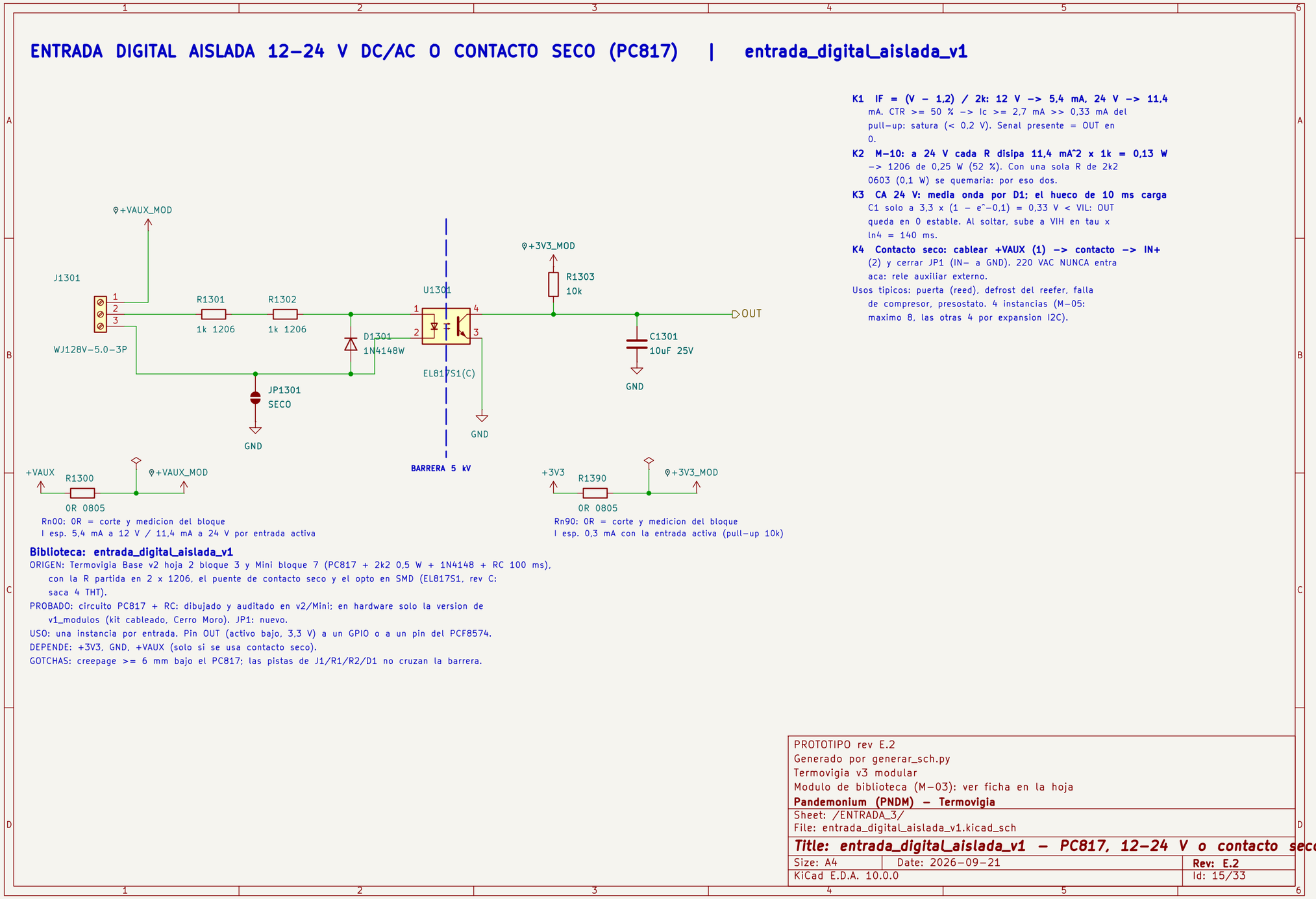
Esquemático · ENTRADA_2

hoja 14 de 33 · vectorial, se puede ampliar

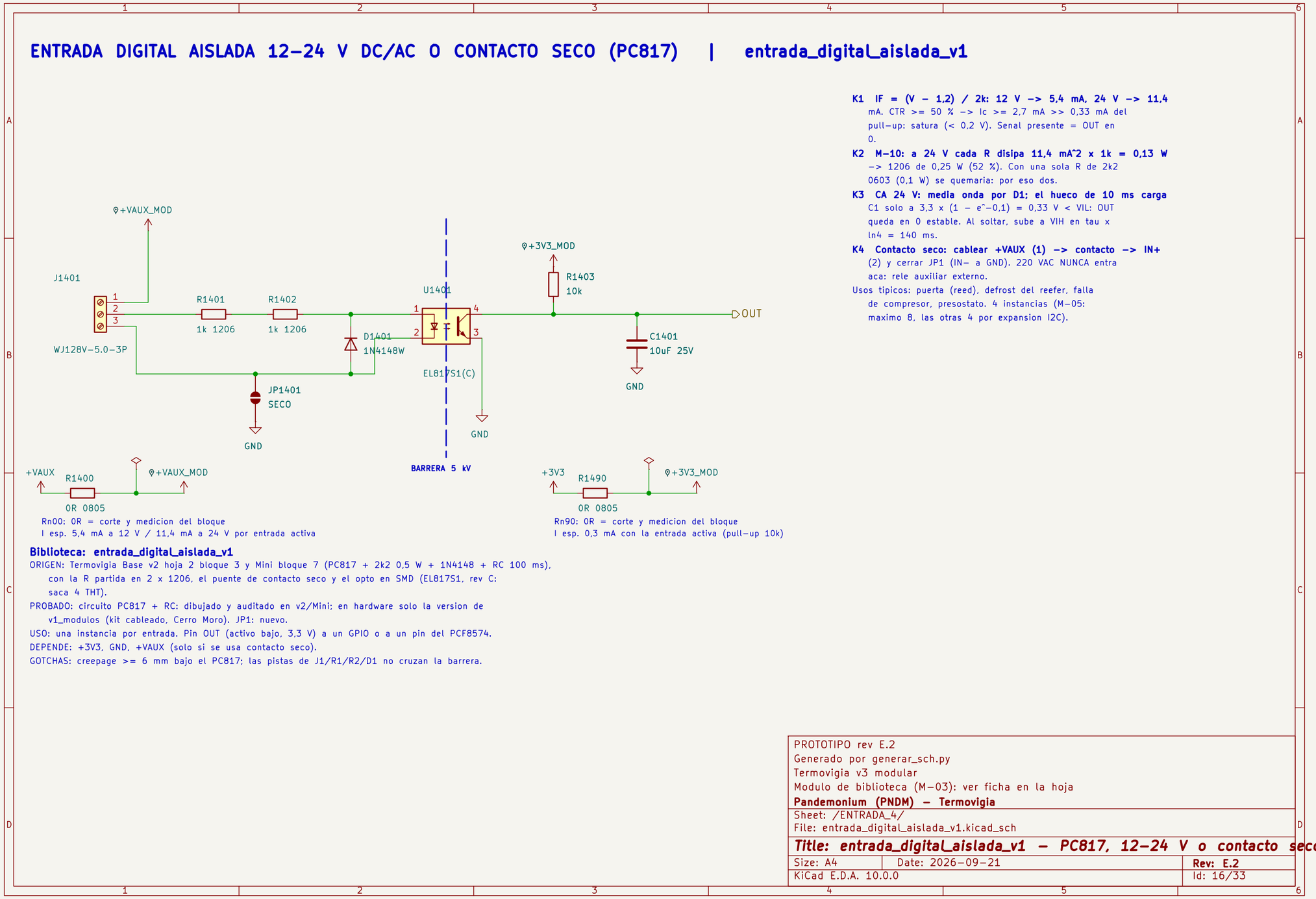


Esquemático · ENTRADA_3

hoja 15 de 33 · vectorial, se puede ampliar

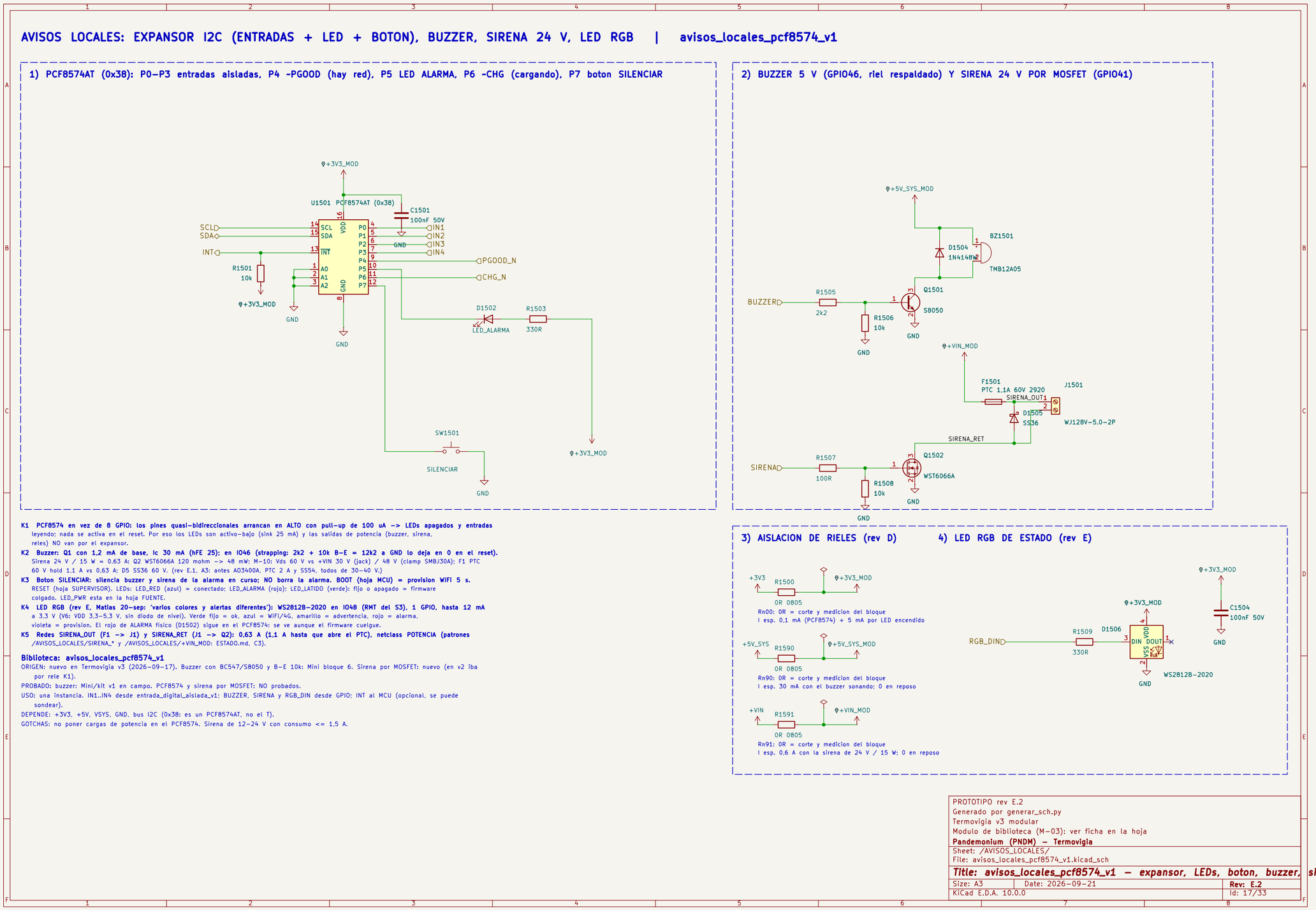


Esquemático · ENTRADA_4



Esquemático · AVISOS_LOCALES

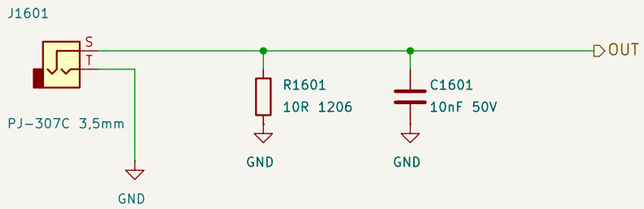
hoja 17 de 33 · vectorial, se puede ampliar



Esquemático · PINZA_SCT013

hoja 18 de 33 · vectorial, se puede ampliar

PINZA DE CORRIENTE SCT-013-000 (100 A : 50 mA) CON BURDEN A MASA -> acondicionador_analogico_v1 | sensor_sct013_v1



K1 SCT-013-000: 2000:1, sin burden interno (trae un TVS interno). Burden 10 ohm: 100 A -> 0,71 Vpk; con G = 2 del acondicionador -> 1,41 Vpk = fondo de escala 117 A rms (165 A pk; E.1, B2).

FLA de un compresor de 1 HP ~ 6 A -> 85 mVpk -> 105 LSB del ADC (12 bit, 0,8 mV/LSB): RMS y ciclo de trabajo con +-2 %; LRA 40 A -> 0,57 Vpk sin recortar.

K2 M-10: pinza abierta con el conductor energizado = el TVS interno de la pinza limita; en placa el burden esta siempre (no hay jack sin carga). R1 (50 mA)^2 x 10 = 25 mW en 1206 (250 mW).

Sin rieles: no lleva R de 0 ohm (M-21: nada que aislar). SCT_AMPS_PER_VOLT = 100 / (0,5 x 2) = 100 A/V en el ADC.

Biblioteca: sensor_sct013_v1

ORIGEN: Termovigia Base v2 hoja 2 bloque 4 (burden 33R + bias + clamps), partido en rev E: aca solo pinza + burden a masa; bias/ganancia/filtro/clamp en acondicionador_analogico_v1.

PROBADO: topologia burden-a-masa: NO probada en hardware (v2 no se fabrico).

USO: una instancia por pinza. OUT al AIN de un acondicionador_analogico_v1.

DEPENDE: GND.

GOTCHAS: nunca enchufar la pinza con el conductor energizado y el jack al aire (el TVS de la pinza se calienta). Pistas cortas y lejos de los reles.

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

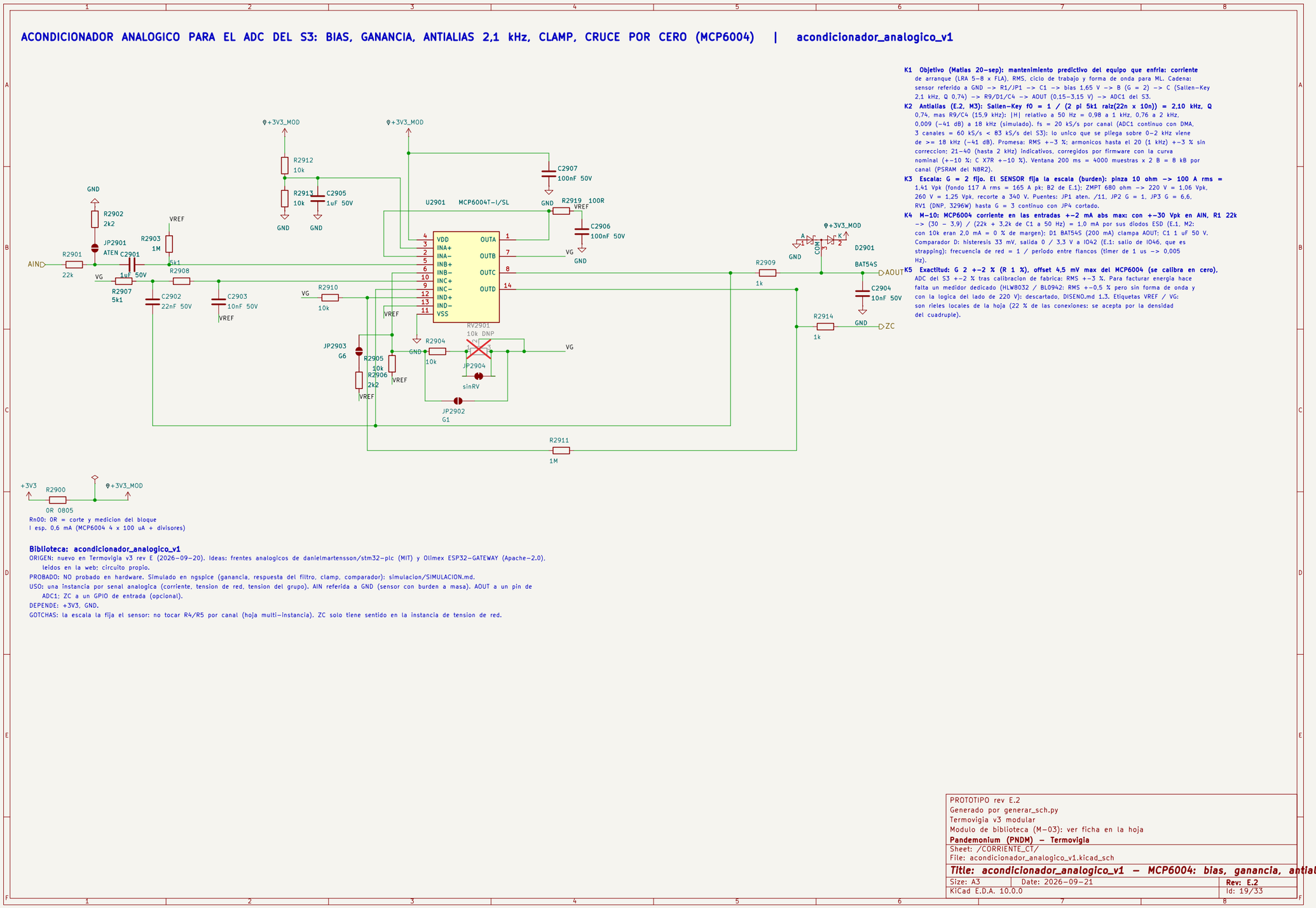
Sheet: /PINZA_SCT013/
File: sensor_sct013_v1.kicad_sch

Title: sensor_sct013_v1 - pinza SCT-013 con burden a masa

Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 18/33

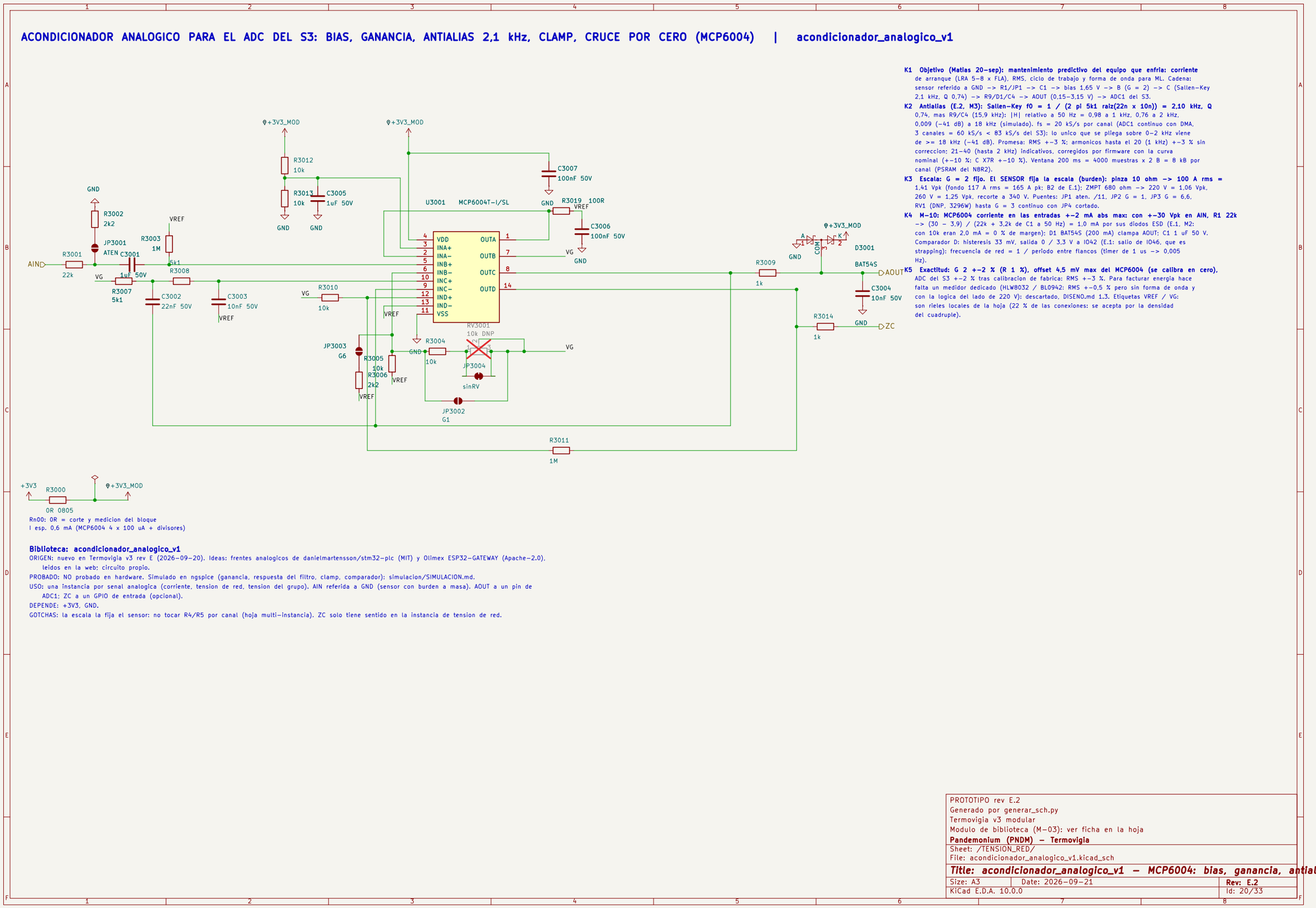
Esquemático · CORRIENTE_CT

hoja 19 de 33 · vectorial, se puede ampliar



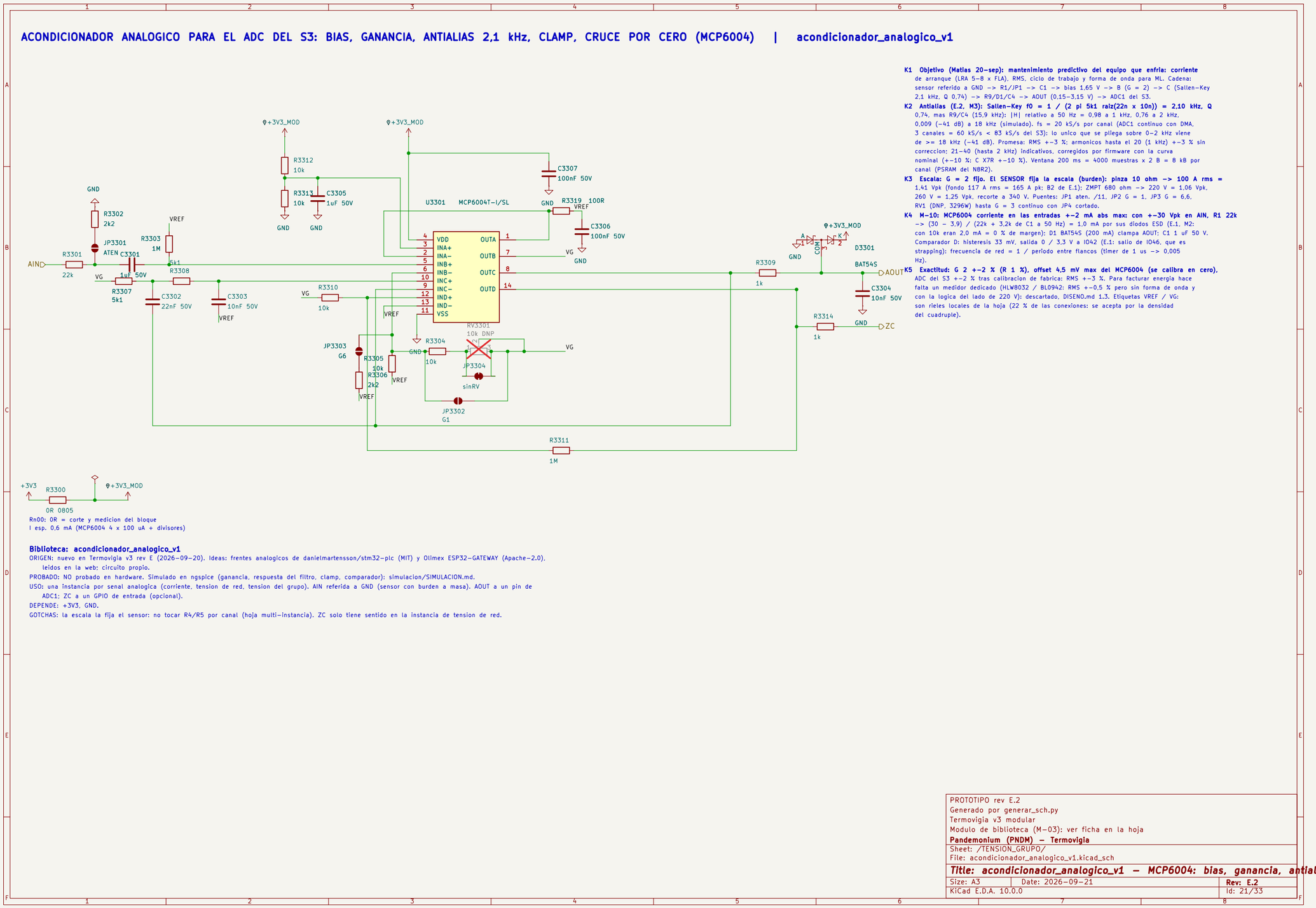
Esquemático · TENSION_RED

hoja 20 de 33 · vectorial, se puede ampliar



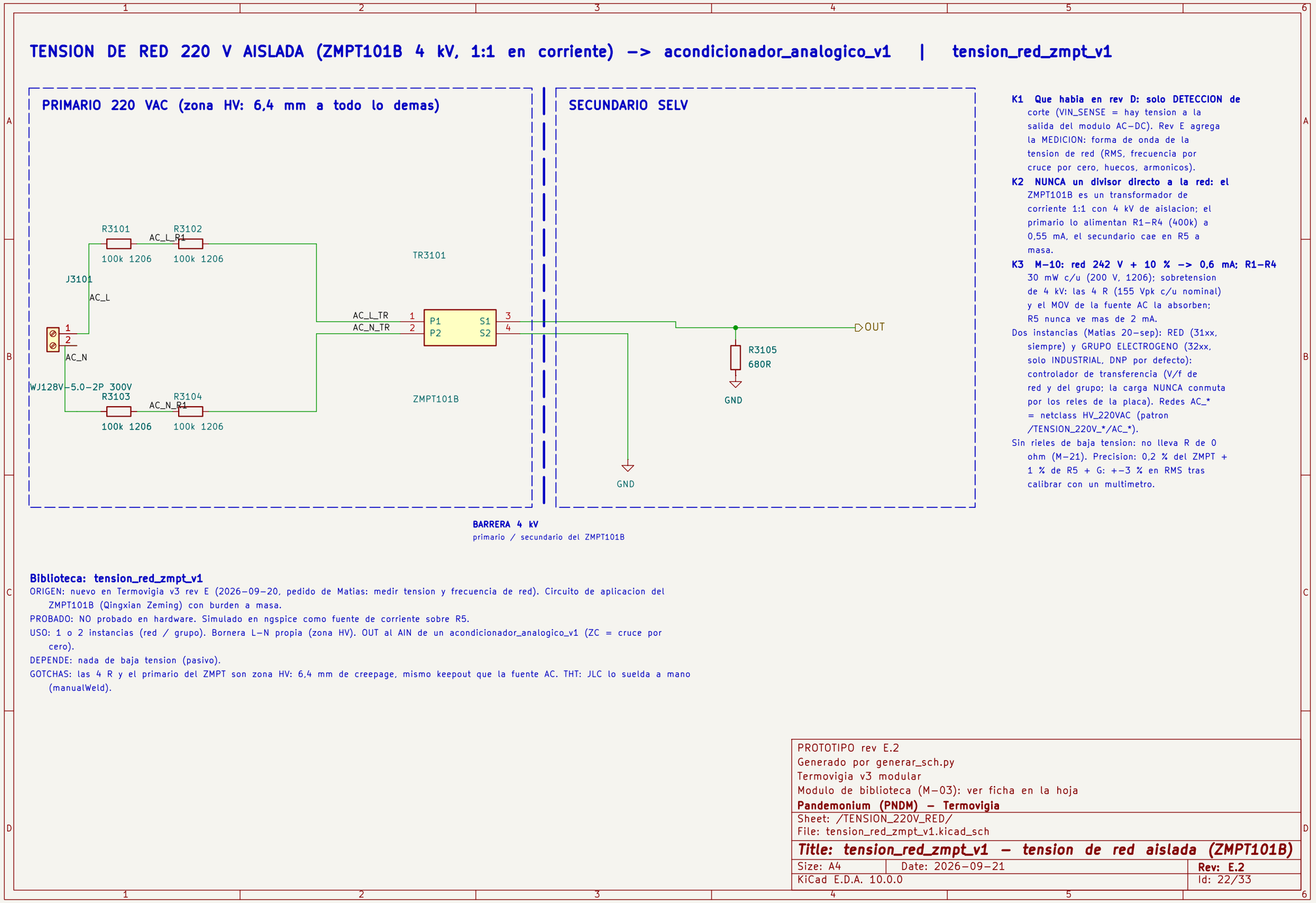
Esquemático · TENSION_GRUPO

hoja 21 de 33 · vectorial, se puede ampliar



Esquemático · TENSION_220V_RED

hoja 22 de 33 · vectorial, se puede ampliar



K1 Que habia en rev D: solo DETECCION de corte (VIN_SENSE = hay tension a la salida del modulo AC-DC). Rev E agrega la MEDICION: forma de onda de la tension de red (RMS, frecuencia por cruce por cero, huecos, armonicos).

K2 NUNCA un divisor directo a la red: el ZMPT101B es un transformador de corriente 1:1 con 4 kV de aislacion; el primario lo alimentan R1-R4 (400k) a 0,55 mA, el secundario cae en R5 a masa.

K3 M-10: red 242 V + 10 % -> 0,6 mA; R1-R4 30 mW c/u (200 V, 1206); sobretension de 4 kV: las 4 R (155 Vpk c/u nominal) y el MOV de la fuente AC la absorben; R5 nunca ve mas de 2 mA.

Dos instancias (Matias 20-sep): RED (31xx, siempre) y GRUPO ELECTROGENO (32xx, solo INDUSTRIAL, DNP por defecto): controlador de transferencia (V/f de red y del grupo; la carga NUNCA conmuta por los reles de la placa). Redes AC_* = netclass HV_220VAC (patron /TENSION_220V_*/AC_*).

Sin rieles de baja tension: no lleva R de 0 ohm (M-21). Precision: 0,2 % del ZMPT + 1 % de R5 + G: +-3 % en RMS tras calibrar con un multimetro.

Biblioteca: tension_red_zmpt_v1

ORIGEN: nuevo en Termovigia v3 rev E (2026-09-20, pedido de Matias: medir tension y frecuencia de red). Circuito de aplicacion del ZMPT101B (Qingxian Zeming) con burden a masa.

PROBADO: NO probado en hardware. Simulado en ngspice como fuente de corriente sobre R5.

USO: 1 o 2 instancias (red / grupo). Bornera L-N propia (zona HV). OUT al AIN de un acondicionador_analogico_v1 (ZC = cruce por cero).

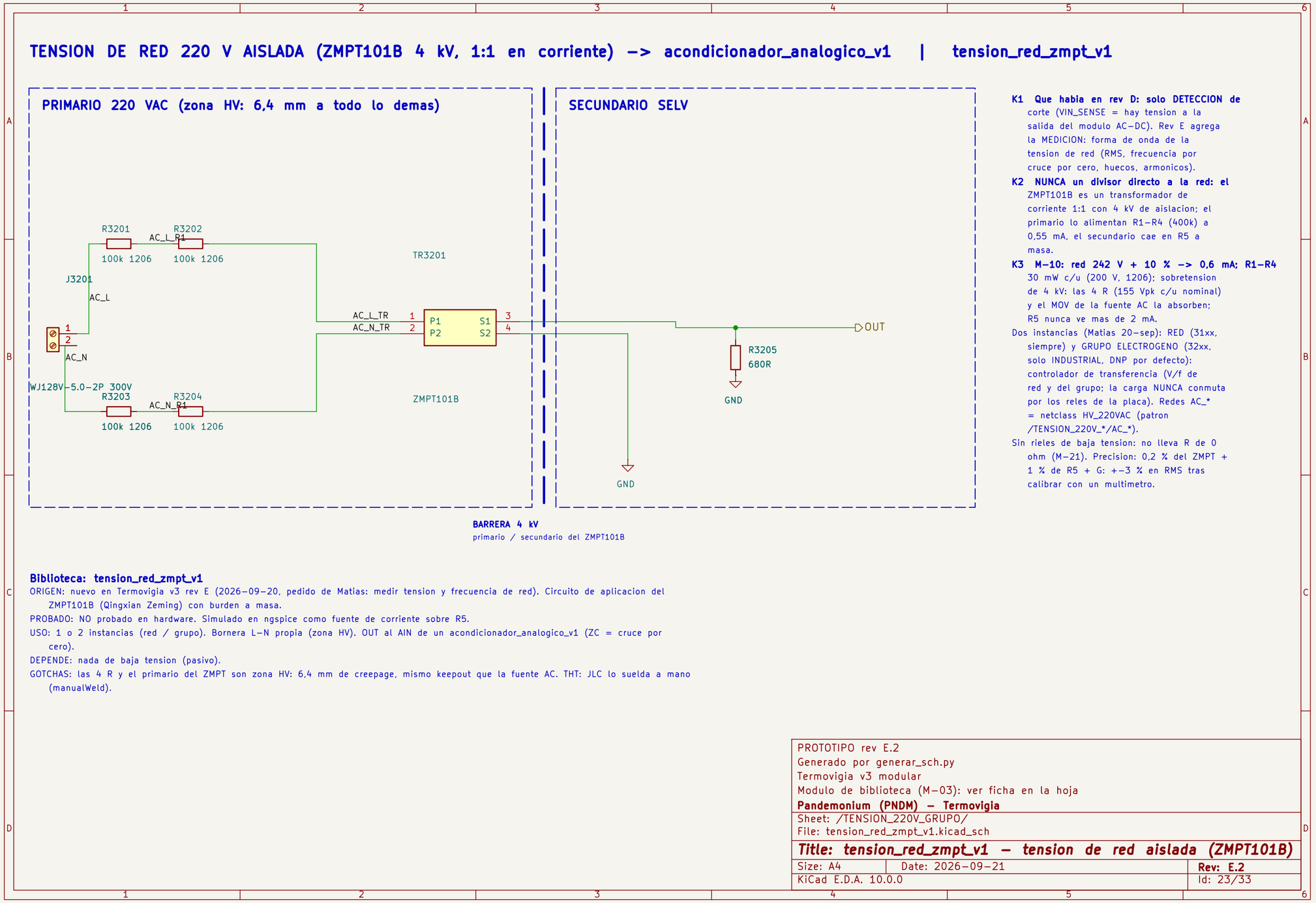
DEPENDE: nada de baja tension (pasivo).

GOTCHAS: las 4 R y el primario del ZMPT son zona HV: 6,4 mm de creepage, mismo keepout que la fuente AC. THT: JLC lo suelda a mano (manualWeld).

PROTOTIPO rev E.2 Generado por generar_sch.py Termovigia v3 modular Modulo de biblioteca (M-03): ver ficha en la hoja **Pandemonium (PNDM) - Termovigia**		
Sheet: /TENSION_220V_RED/ File: tension_red_zmpt_v1.kicad_sch		
Title: tension_red_zmpt_v1 - tension de red aislada (ZMPT101B)		
Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 22/33

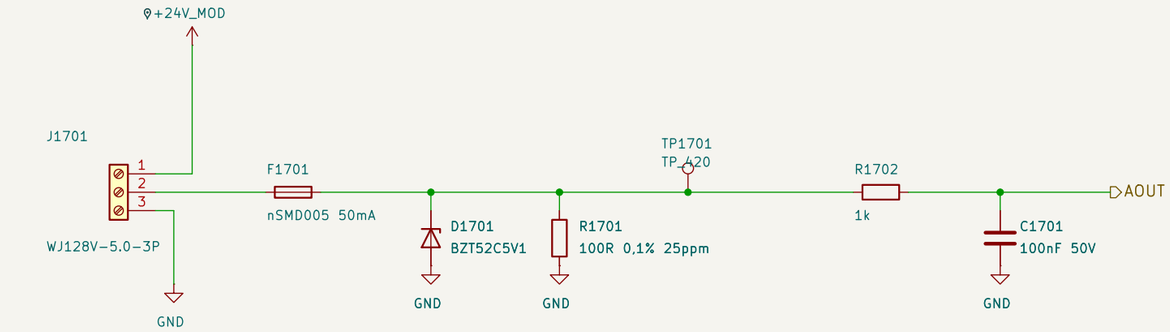
Esquemático · TENSION_220V_GRUPO

hoja 23 de 33 · vectorial, se puede ampliar



Esquemático · LAZO_4_20mA_1

ENTRADA 4–20 mA CON ALIMENTACION DE LAZO 24 V (SENSORES INDUSTRIALES DE CALOR) | entrada_4_20ma_v1

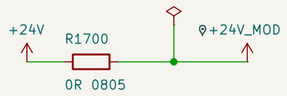


K1 Por que NO el ADC del S3: +–2 % tras calibrar y no
lineal por encima de 2,5 V = +–12 C en un transmisor 0–600 C. ADS1115: 16 bit, error de ganancia 0,01 % tip. (0,15 % max).
Error total = shunt 0,1 % + ADC 0,15 % + deriva 25 ppm x 40 C = 0,1 % –> 0,35 % = 2 C sobre 600 C.

K2 Escala con PGA +–4,096 V: LSB 125 uV = 1,25 uA. 4 mA
= 0,4 V; 20 mA = 2,0 V; 24 mA (falla alta NAMUR) = 2,4 V; < 3,6 mA = lazo abierto.

K3 M–10 peor caso: 24 V directos a IN (simulado,
SIMULACION.md): D1 clampa 5,1 V con amperios hasta que F1 abre (< 1 s): el zener de 0,5 W se SACRIFICA en corto = falla segura (AINO <= 4 V por R2 1k), pero el canal queda a reparar. Shunt 51 mA = 0,26 W mientras tanto.
Normal: 20 mA^2 x 100 = 40 mW (32 % del 0805). Inversa: D1 en directa, –0,7 V, R2 limita a 0,4 mA.

K4 Lazo: 24 V – 2 V (shunt) – 0,5 V (PTC + cable) =
21,5 V en el transmisor (piden 10–30 V). Con 12 V quedarian 9,5 V: no alcanza para muchos.
Escala M–05: 2 canales poblados, maximo 4 por ADS1115 (AIN2/3 hoy miden red y bateria); mas = segundo ADS1115 por expansion.



Rn00: 0R = corte y medicion del bloque I esp. 4–20 mA del lazo (0 sin transmisor)

Biblioteca: entrada_4_20ma_v1
ORIGEN: nuevo en Termovigia v3 (2026–09–17).
PROBADO: NO probado en hardware.
USO: una instancia por lazo. AOUT (0–2,4 V) a una entrada de un ADC de 16 bit (adc_ads1115_lazo24v_v1). Transmisor de 2 hilos entre bornes 1 y 2; de 3/4 hilos: salida a 2, comun a 3.
DEPENDE: +24V (fuente de lazo), GND.
GOTCHAS: zener de 5,1 V y no 3,6 V: la rodilla blanda del 3V6 fuga decenas de uA a 2,4 V (= error). Medir fuga de D1 a 2,4 V en el primer armado: < 1 uA.

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M–03): ver ficha en la hoja
Pandemonium (PNDM) – Termovigia

Sheet: /LAZO_4_20mA_1/
File: entrada_4_20ma_v1.kicad_sch

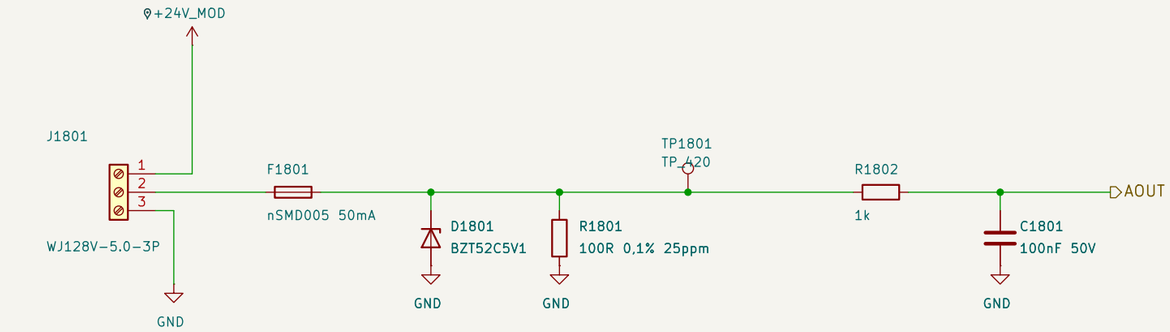
Title: entrada_4_20ma_v1 – lazo 4–20 mA con alimentacion 24 V

Size: A4	Date: 2026–09–21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 24/33

Esquemático · LAZO_4_20mA_2

hoja 25 de 33 · vectorial, se puede ampliar

ENTRADA 4–20 mA CON ALIMENTACION DE LAZO 24 V (SENSORES INDUSTRIALES DE CALOR) | entrada_4_20ma_v1

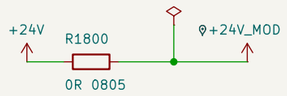


K1 Por que NO el ADC del S3: +–2 % tras calibrar y no
lineal por encima de 2,5 V = +–12 C en un transmisor 0–600 C. ADS1115: 16 bit, error de ganancia 0,01 % tip. (0,15 % max).
Error total = shunt 0,1 % + ADC 0,15 % + deriva 25 ppm x 40 C = 0,1 % –> 0,35 % = 2 C sobre 600 C.

K2 Escala con PGA +–4,096 V: LSB 125 uV = 1,25 uA. 4 mA
= 0,4 V; 20 mA = 2,0 V; 24 mA (falla alta NAMUR) = 2,4 V; < 3,6 mA = lazo abierto.

K3 M–10 peor caso: 24 V directos a IN (simulado,
SIMULACION.md): D1 clampa 5,1 V con amperios hasta que F1 abre (< 1 s): el zener de 0,5 W se SACRIFICA en corto = falla segura (AINO <= 4 V por R2 1k), pero el canal queda a reparar. Shunt 51 mA = 0,26 W mientras tanto.
Normal: 20 mA^2 x 100 = 40 mW (32 % del 0805). Inversa: D1 en directa, –0,7 V, R2 limita a 0,4 mA.

K4 Lazo: 24 V – 2 V (shunt) – 0,5 V (PTC + cable) =
21,5 V en el transmisor (piden 10–30 V). Con 12 V quedarian 9,5 V: no alcanza para muchos.
Escala M–05: 2 canales poblados, maximo 4 por ADS1115 (AIN2/3 hoy miden red y bateria); mas = segundo ADS1115 por expansion.



Rn00: 0R = corte y medicion del bloque I esp. 4–20 mA del lazo (0 sin transmisor)

Biblioteca: entrada_4_20ma_v1
ORIGEN: nuevo en Termovigia v3 (2026–09–17).
PROBADO: NO probado en hardware.
USO: una instancia por lazo. AOUT (0–2,4 V) a una entrada de un ADC de 16 bit (adc_ads1115_lazo24v_v1). Transmisor de 2 hilos entre bornes 1 y 2; de 3/4 hilos: salida a 2, comun a 3.
DEPENDE: +24V (fuente de lazo), GND.
GOTCHAS: zener de 5,1 V y no 3,6 V: la rodilla blanda del 3V6 fuga decenas de uA a 2,4 V (= error). Medir fuga de D1 a 2,4 V en el primer armado: < 1 uA.

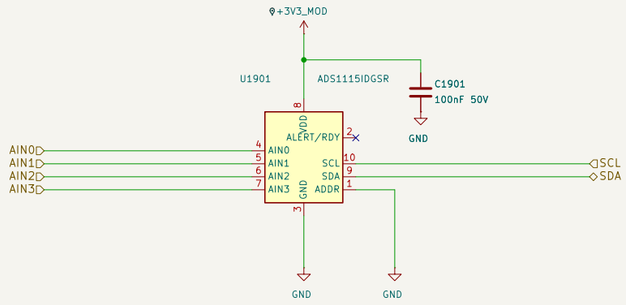
PROTOTIPO rev E.2		
Generado por generar_sch.py		
Termovigia v3 modular		
Modulo de biblioteca (M–03): ver ficha en la hoja		
Pandemonium (PNDM) – Termovigia		
Sheet: /LAZO_4_20mA_2/		
File: entrada_4_20ma_v1.kicad_sch		
Title: entrada_4_20ma_v1 – lazo 4–20 mA con alimentacion 24 V		
Size: A4	Date: 2026–09–21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 25/33

Esquemático · ADC_LAZO24V

hoja 26 de 33 · vectorial, se puede ampliar

ADC 16 BIT I2C (ADS1115) PARA 4–20 mA, RED Y BATERIA | adc_ads1115_lazo24v_v1

1) ADS1115: AIN0/AIN1 = 4–20 mA, AIN2 = red (VIN), AIN3 = bateria



K1 ADS1115: VDD 3,3 V, entradas 0...3,6 V. PGA +-4,096 V (LSB 125 uV). Las cuatro entradas llegan con R serie >= 1k y filtro: la corriente por los diodos de proteccion queda < 10 mA en cualquier falla.
Direccion I2C 0x48 (ADDR a GND). 8 SPS, single-shot, 4 canales por segundo: 0,15 mA de consumo medio.
K2 Rev E: el lazo de 24 V ya no se genera aca (MT3608 eliminado: 28 V abs sin margen y redundante con +VIN = 24 V). AIN2 = VIN_SENSE (24 V x 0,107 = 2,57 V). AIN3 = VBAT_SENSE.

Biblioteca: adc_ads1115_lazo24v_v1
ORIGEN: nuevo en Termovigia v3 (2026-09-17). ADS1115 y MT3608 segun sus hojas de datos.
PROBADO: NO probado en hardware.
USO: una instancia. AIN0..3 de 0 a 3,3 V (siempre con R serie >= 1k aguas arriba). El riel +24V del lazo lo entrega FUENTE (rev E).
DEPENDE: +3V3, GND, bus I2C.
GOTCHAS: nada de conmutacion en esta hoja desde rev E. 0x48 choca con otro ADS1115 en expansion: el segundo va en 0x49 (ADDR a VDD).

2) FUENTE DE LAZO 24 V: en rev E sale de FUENTE (+VIN 24 V por PTC F103); el boost MT3608 se elimino (C1 / M-10)

+24V (riel global, hoja FUENTE 1b) -> entrada_4_20ma_v1 x2 (+24V_MOD por su R de 0 ohm)

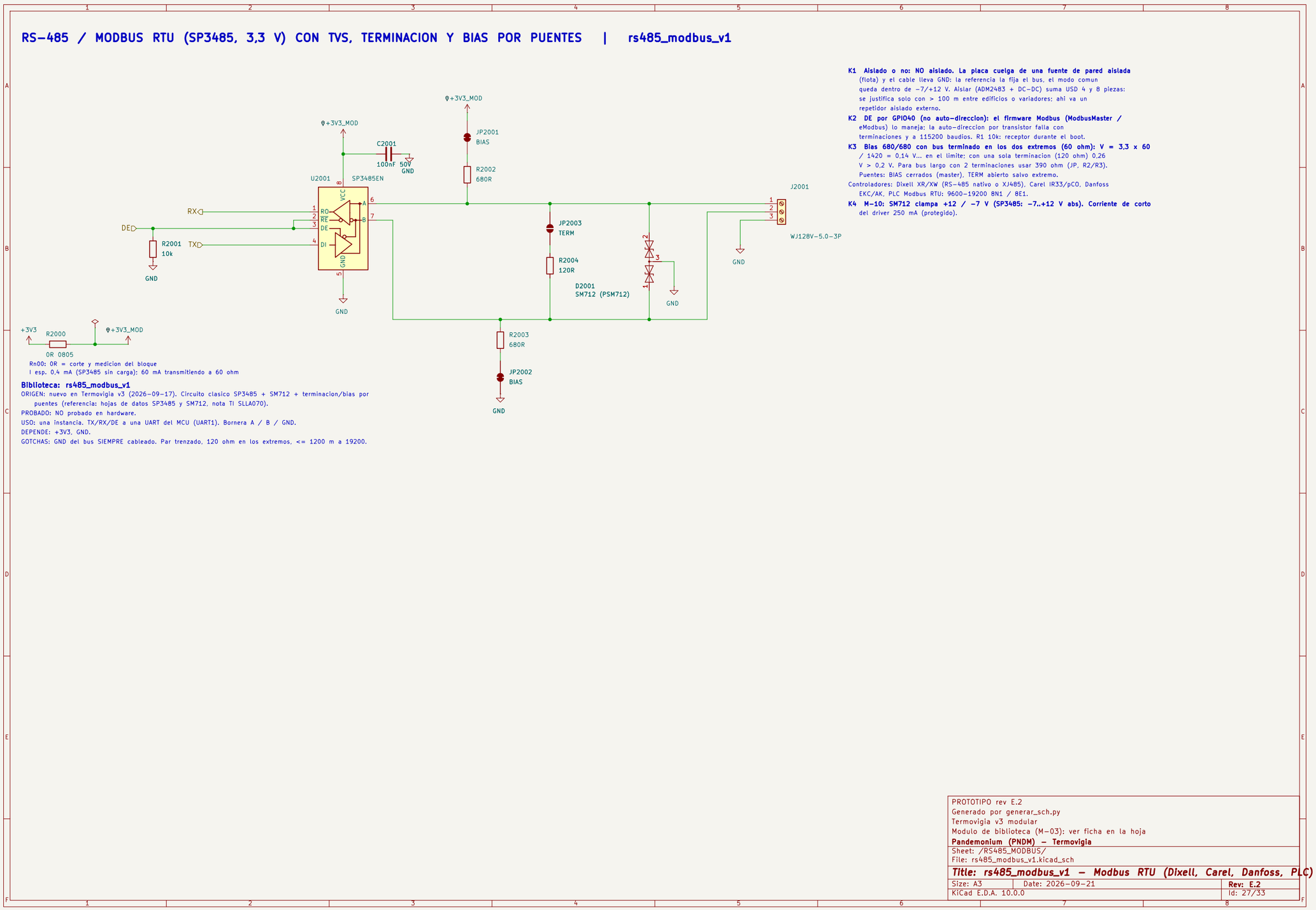


Rn00: 0R = corte y medicion del bloque
I esp. 0,15 mA (ADS1115 continuo)

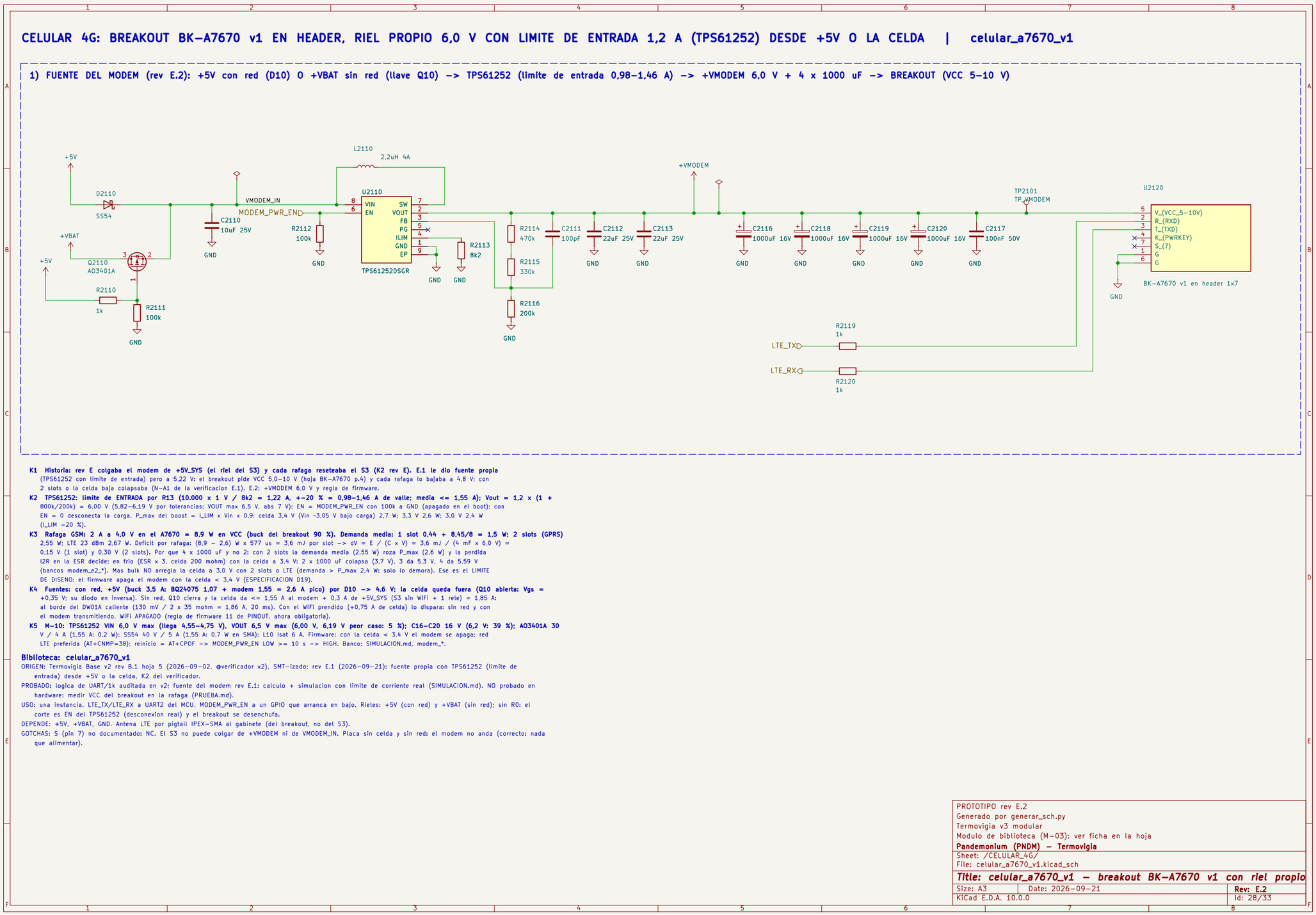
PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia
Sheet: /ADC_LAZO24V/
File: adc_ads1115_lazo24v_v1.kicad_sch
Title: adc_ads1115_lazo24v_v1 - ADC 16 bit + fuente de lazo 24 V
Size: A3 | Date: 2026-09-21 | **Rev: E.2**
KiCad E.D.A. 10.0.0 | Id: 26/33

Esquemático · RS485_MODBUS

hoja 27 de 33 · vectorial, se puede ampliar



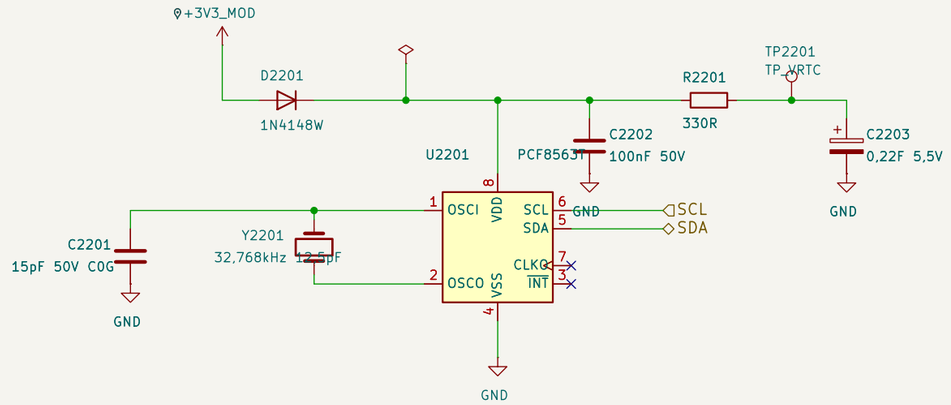
Esquemático · CELULAR_4G



Esquemático · RTC

hoja 29 de 33 · vectorial, se puede ampliar

RELOJ DE TIEMPO REAL CON RESPALDO POR SUPERCAPACITOR (PCF8563) | rtc_pcf8563_v1

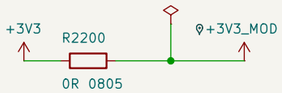


K1 Por que un RTC si el S3 tiene NTP: tras un corte de red y de 220 V, el equipo arranca sin hora hasta reconectar; los registros locales (memoria) y las alarmas quedarian sin fecha. La norma de cadena de frio pide hora en cada registro.

K2 Supercap y no pila: 0,22 F x (2,7 − 1,0 V) / (0,25 uA + 0,05 uA fuga) = 1,2 Ms = 14 dias sin 3V3. Sin pila de litio (envio aereo, reemplazo), sin portapilas. VDD_RTC = 3,3 − 0,6 = 2,7 V (PCF8563: 1,0–5,5 V; I2C tolera 5 V independiente de VDD).

K3 Carga: R1 330 -> 8 mA iniciales, tau = 73 s -> lleno en 5 min. D1 1N4148W en vez de Schottky: la fuga inversa de un Schottky (uA) vaciaria el supercap en horas.

Deriva del cristal +−20 ppm = 1,7 s/dia: el firmware resincroniza por NTP cada hora cuando hay red.



Rn00: 0R = corte y medicion del bloque
I esp. < 1 uA (PCF8563 0,25 uA tip.) + carga del supercap al inicio

Biblioteca: rtc_pcf8563_v1

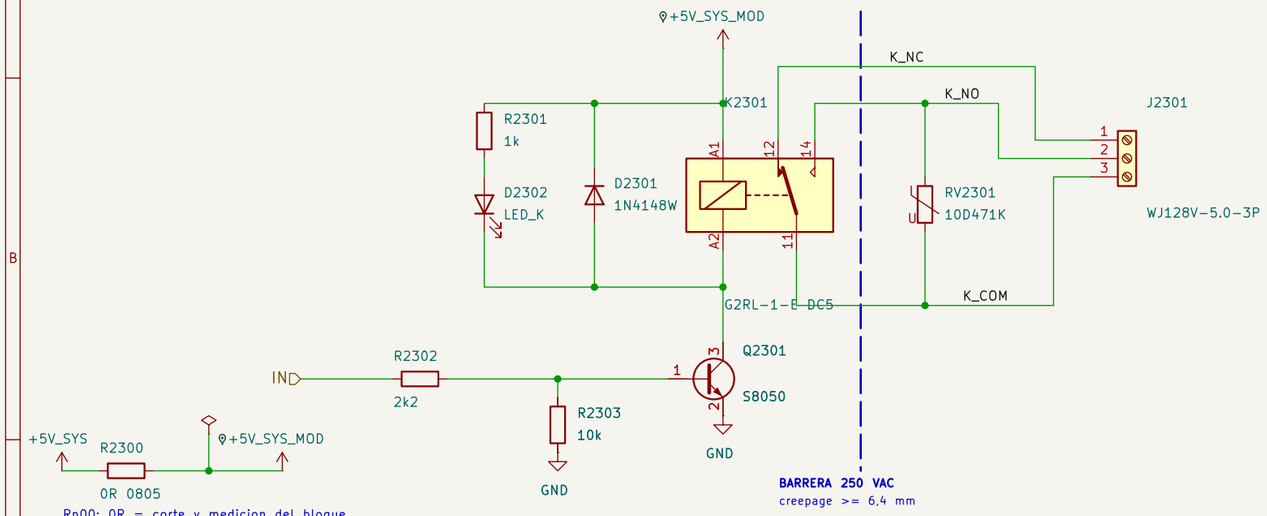
ORIGEN: nuevo en Termovigia v3 (2026-09-17). Circuito de la hoja de datos del PCF8563 + respaldo por supercap.
PROBADO: NO probado en hardware.
USO: una instancia. I2C 0x51. Sin pines fuera del bus.
DEPENDE: +3V3, GND, bus I2C.
GOTCHAS: cristal pegado al chip, sin pistas debajo (32 kHz de alta impedancia). Supercap THT: JLC lo monta como THT o se suelda a mano.

PROTOTIPO rev E.2		
Generado por generar_sch.py		
Termovigia v3 modular		
Modulo de biblioteca (M-03): ver ficha en la hoja		
Pandemonium (PNDM) – Termovigia		
Sheet: /RTC/		
File: rtc_pcf8563_v1.kicad_sch		
Title: rtc_pcf8563_v1 – reloj con respaldo por supercap		
Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 29/33

Esquemático · RELE_1

hoja 30 de 33 · vectorial, se puede ampliar

SALIDA DE RELE 250 VAC (OMRON G2RL-1-E, AISLACION REFORZADA BOBINA-CONTACTO) CON DRIVER, LED, MOV | rele_10a_driver_v1



Rn00: 0R = corte y medicion del bloque
I esp. 80 mA con la bobina activada (62,5 ohm); 0 en reposo

K1 Bobina 80 mA (G2RL 5 V: 62,5 ohm, 400 mW; operate <= 70 % = 3,5 V, hoja p.2): Q1 S8050 (Ic 500 mA) con Ib 1,2 mA -> hFE forzado 68 < 120 min: saturado (Vce < 0,3 V). GPIO HIGH = rele ON.

K2 R3 10k B-E: con el GPIO en alta impedancia (arranque, reset, flasheo) Vbe = 0 -> el rele NO se pega. Regla del producto: sin firmware, todo apagado.

K3 Aislacion (E.2, N-A2): el SRD-05VDC era BASICA (1500 VAC bobina-contacto). G2RL-1-E: 5000 VAC bobina-contacto 1 min, clearance y creepage 8 mm min, 'Reinforced' (hoja Omron p.3 y p.7): del lado de la bobina queda SELV accesible (sondas, USB, entradas). Sin excepcion en el .kicad_dru: dentro de la huella la bobina (A1/A2) queda a 13 mm de borde a borde del NC.

K4 Contactos: 16 A 250 VAC resistivo (pieza); la PLACA declara 10 A resistivo (lo fija la pista, D23). Inductivo: AC15 3 A a 240 VAC en NO (hoja p.7): compresores y motores SOLO por contactor externo (la bobina del contactor si entra). MOV 10D471K (M-10: 250 Vrms x 1,41 = 353 Vpk < 470 V). Redes K_* = netclass RELE_250VAC (.kicad_dru: >= 6,4 mm a todo lo demas).

Escala M-05: 2 instancias en placa, maximo comercial 4 -> las 3 y 4 por expansion (PCF8574 + este mismo modulo en una placa hija). Huella 29 x 12,7 mm, 8 pines 1,3 mm (hoja p.6).

Biblioteca: rele_10a_driver_v1

ORIGEN: Termovigia Base v2 hoja 4 (BC547 + R B-E 10k + modulo de rele comercial) pasado a rele on-board + S8050 + MOV; E.2: Omron G2RL-1-E (aislacion reforzada) en lugar del Songle SRD.

PROBADO: driver BC547/S8050 con B-E 10k: auditado en v2 (H5). Rele on-board: NO probado por nosotros (G2RL: pieza de catalogo Omron, UL/VDE).

USO: una instancia por rele. Pin jerarquico IN (3,3 V, activo alto). Bornera NC / NO / COM.

DEPENDE: un riel de 5 V (parametro 'riel' de la placa: +5V_SYS en la completa, respaldado por la celda; +5V en la LITE), GND.

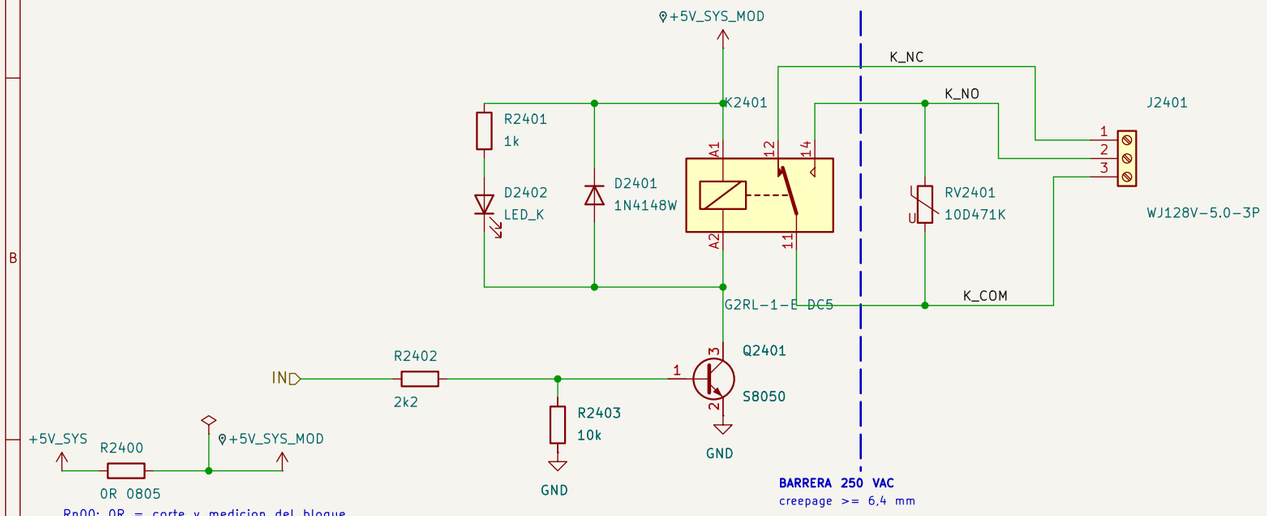
GOTCHAS: la bobina consume 80 mA del riel de 5 V cada rele: contarlos en el presupuesto del riel (en la completa, en la autonomia de la celda). Contacto: la corriente declarada la da la pista (parametro i_decl).

PROTOTIPO rev E.2	
Generado por generar_sch.py	
Termovigia v3 modular	
Modulo de biblioteca (M-03): ver ficha en la hoja	
Pandemonium (PNDM) - Termovigia	
Sheet: /RELE_1/	
File: rele_10a_driver_v1.kicad_sch	
Title: rele_10a_driver_v1 - rele G2RL con driver y MOV	
Size: A4	Date: 2026-09-21 / **Rev: E.2**
KiCad E.D.A. 10.0.0	Id: 30/33

Esquemático · RELE_2

hoja 31 de 33 · vectorial, se puede ampliar

SALIDA DE RELE 250 VAC (OMRON G2RL-1-E, AISLACION REFORZADA BOBINA-CONTACTO) CON DRIVER, LED, MOV | rele_10a_driver_v1



Rn00: 0R = corte y medicion del bloque
I esp. 80 mA con la bobina activada (62,5 ohm); 0 en reposo

Biblioteca: rele_10a_driver_v1

ORIGEN: Termovigia Base v2 hoja 4 (BC547 + R B-E 10k + modulo de rele comercial) pasado a rele on-board + S8050 + MOV; E.2: Omron G2RL-1-E (aislacion reforzada) en lugar del Songle SRD.

PROBADO: driver BC547/S8050 con B-E 10k: auditado en v2 (H5). Rele on-board: NO probado por nosotros (G2RL: pieza de catalogo Omron, UL/VDE).

USO: una instancia por rele. Pin jerarquico IN (3,3 V, activo alto). Bornera NC / NO / COM.

DEPENDE: un riel de 5 V (parametro 'riel' de la placa: +5V_SYS en la completa, respaldado por la celda; +5V en la LITE), GND.

GOTCHAS: la bobina consume 80 mA del riel de 5 V cada rele: contarlos en el presupuesto del riel (en la completa, en la autonomia de la celda). Contacto: la corriente declarada la da la pista (parametro i_decl).

K1 Bobina 80 mA (G2RL 5 V: 62,5 ohm, 400 mW; operate <= 70 % = 3,5 V, hoja p.2): Q1 S8050 (Ic 500 mA) con Ib 1,2 mA -> hFE forzado 68 < 120 min: saturado (Vce < 0,3 V). GPIO HIGH = rele ON.

K2 R3 10k B-E: con el GPIO en alta impedancia (arranque, reset, flasheo) Vbe = 0 -> el rele NO se pega. Regla del producto: sin firmware, todo apagado.

K3 Aislacion (E.2, N-A2): el SRD-05VDC era BASICA (1500 VAC bobina-contacto). G2RL-1-E: 5000 VAC bobina-contacto 1 min, clearance y creepage 8 mm min, 'Reinforced' (hoja Omron p.3 y p.7): del lado de la bobina queda SELV accesible (sondas, USB, entradas). Sin excepcion en el .kicad_dru: dentro de la huella la bobina (A1/A2) queda a 13 mm de borde a borde del NC.

K4 Contactos: 16 A 250 VAC resistivo (pieza): la PLACA declara 10 A resistivo (lo fija la pista, D23). Inductivo: AC15 3 A a 240 VAC en NO (hoja p.7): compresores y motores SOLO por contactor externo (la bobina del contactor si entra). MOV 10D471K (M-10: 250 Vrms x 1,41 = 353 Vpk < 470 V). Redes K_* = netclass RELE_250VAC (.kicad_dru: >= 6,4 mm a todo lo demas).

Escala M-05: 2 instancias en placa, maximo comercial 4 -> las 3 y 4 por expansion (PCF8574 + este mismo modulo en una placa hija). Huella 29 x 12,7 mm, 8 pines 1,3 mm (hoja p.6).

PROTOTIPO rev E.2
Generado por generar_sch.py
Termovigia v3 modular
Modulo de biblioteca (M-03): ver ficha en la hoja
Pandemonium (PNDM) - Termovigia

Sheet: /RELE_2/
File: rele_10a_driver_v1.kicad_sch

Title: rele_10a_driver_v1 - rele G2RL con driver y MOV

Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 31/33

Esquemático · EXPANSION_OLED

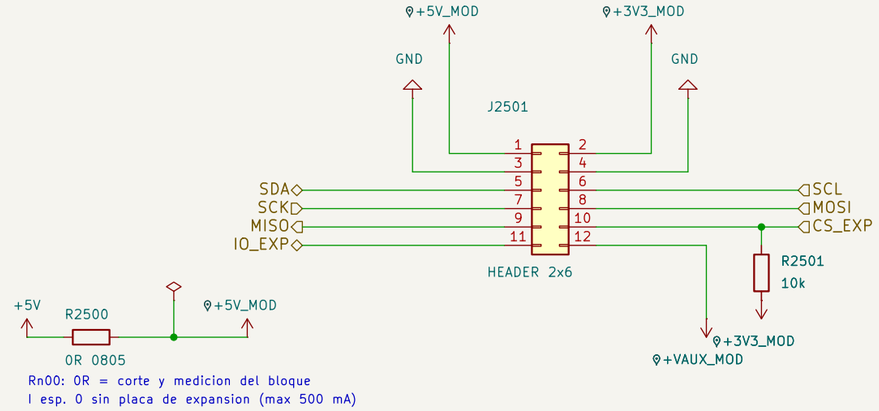
hoja 32 de 33 · vectorial, se puede ampliar

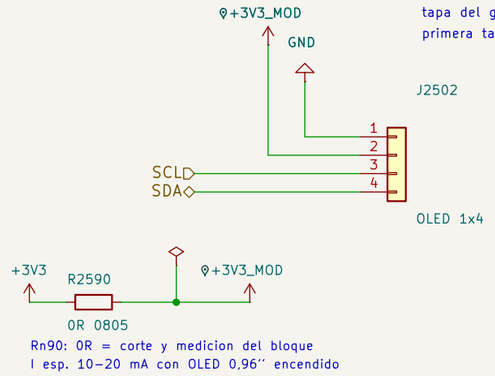
CONECTOR DE EXPANSION (I2C + SPI + RIELES) Y PANTALLA OLED I2C | expansion_oled_v1

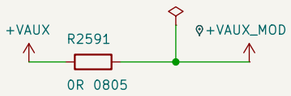
K1 Es el conector de M-05: reles 3-4 (PCF8574 + 2 x rele_10a_driver_v1), entradas 5-8, PT100 3-4 (CS_EXP), segundo ADS1115 (0x49), INA219 para @energia, microSD externa.

K2 Direcciones I2C ocupadas: 0x38 PCF8574AT, 0x48 ADS1115, 0x51 PCF8563, 0x3C OLED. Libres para expansion: 0x20-0x27 (PCF8574 sin A), 0x39-0x3F, 0x49-0x4B, 0x40-0x4F (INA219).

K3 OLED: 20 mA a 3,3 V; cable de 4 hilos <= 30 cm a la tapa del gabinete. Sin poblar el display en la primera tanda (el header si).







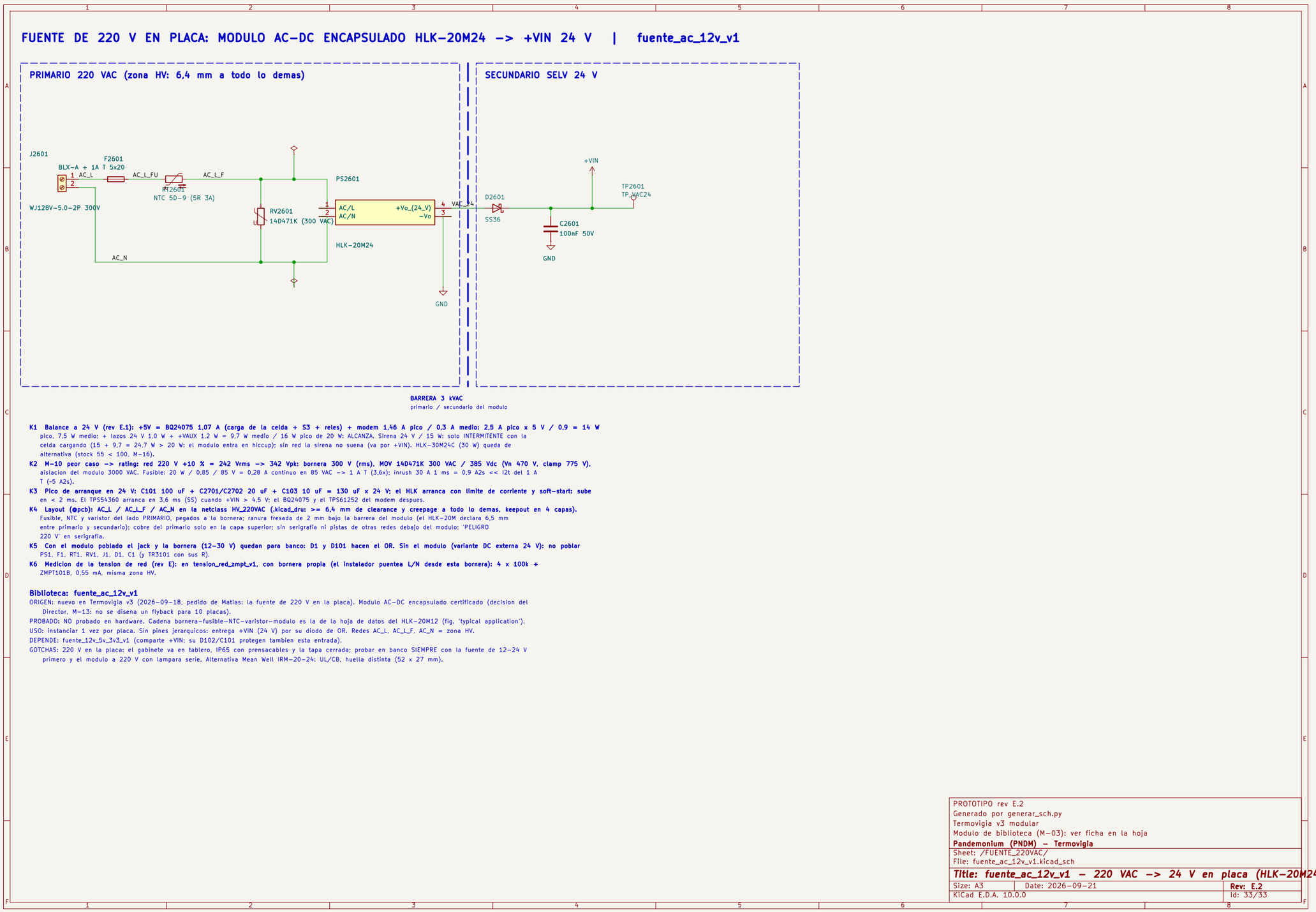
Biblioteca: expansion_oled_v1

ORIGEN: Termovigia Base v2 hoja 3 (J302 expansion 1x6 + J303 OLED GND-VCC-SCL-SDA, H4 de la auditoria), ampliado a 2x6 con SPI.
PROBADO: orden de pines del OLED auditado en v2 (H4). Header: NO probado.
USO: una instancia. Rieles y buses, sin logica. IO_EXP (pin 11) comanda un SSR externo (3-32 V DC, 5-10 mA): sin etapa de potencia ni dimmer en placa (20-sep).
DEPENDE: +5V, +3V3, +VAUX, GND, I2C, SPI, CS_EXP, IO_EXP.
GOTCHAS: el pin 12 lleva +VAUX (12 V) al lado de senales de 3,3 V: rotular en serigrafia.

PROTOTIPO rev E.2 Generado por generar_sch.py Termovigia v3 modular Modulo de biblioteca (M-03): ver ficha en la hoja **Pandemonium (PNDM) - Termovigia**		
Sheet: /EXPANSION_OLED/ File: expansion_oled_v1.kicad_sch		
Title: expansion_oled_v1 - conector de expansion y OLED		
Size: A4	Date: 2026-09-21	**Rev: E.2**
KiCad E.D.A. 10.0.0		Id: 32/33

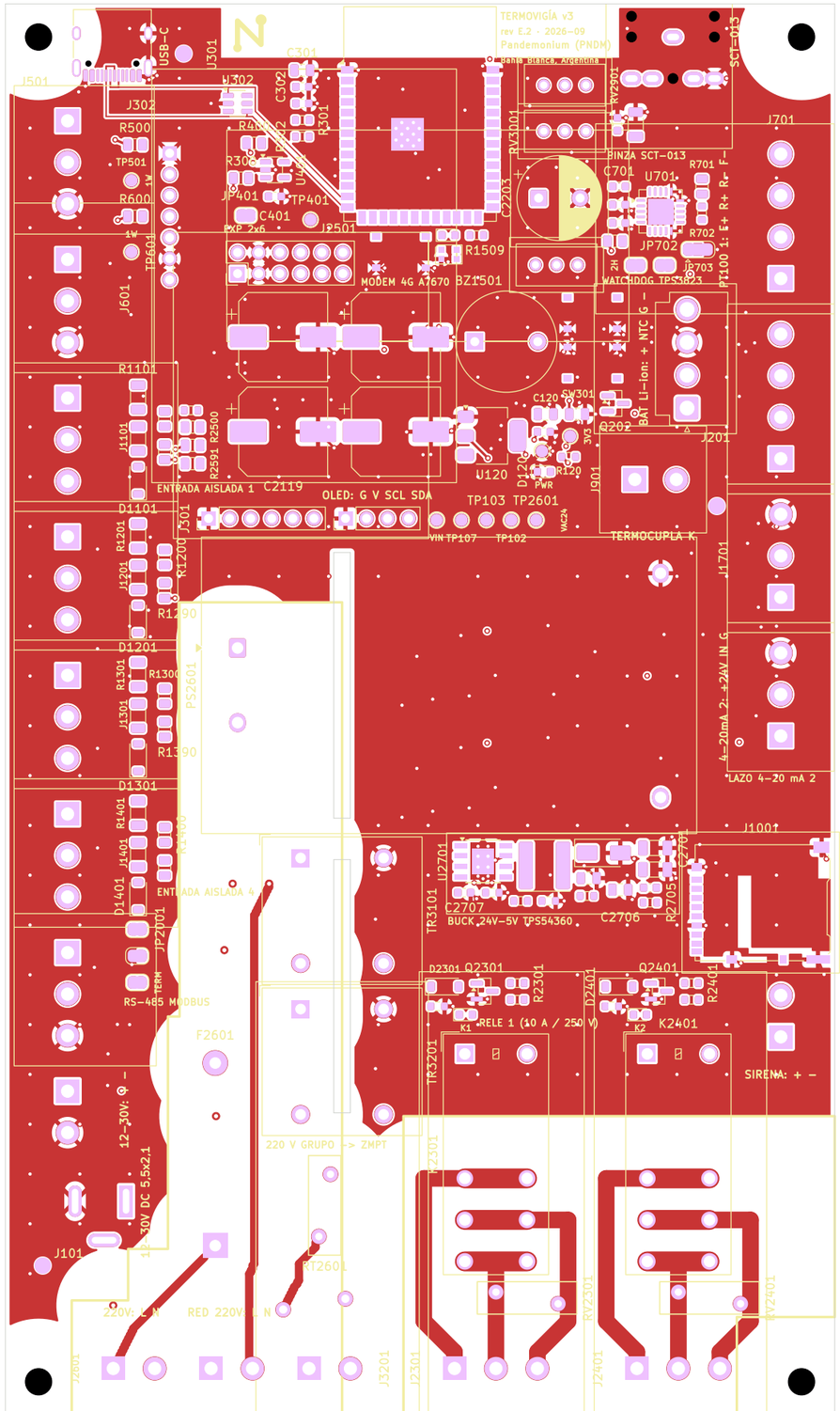
Esquemático · FUENTE_220VAC

hoja 33 de 33 · vectorial, se puede ampliar



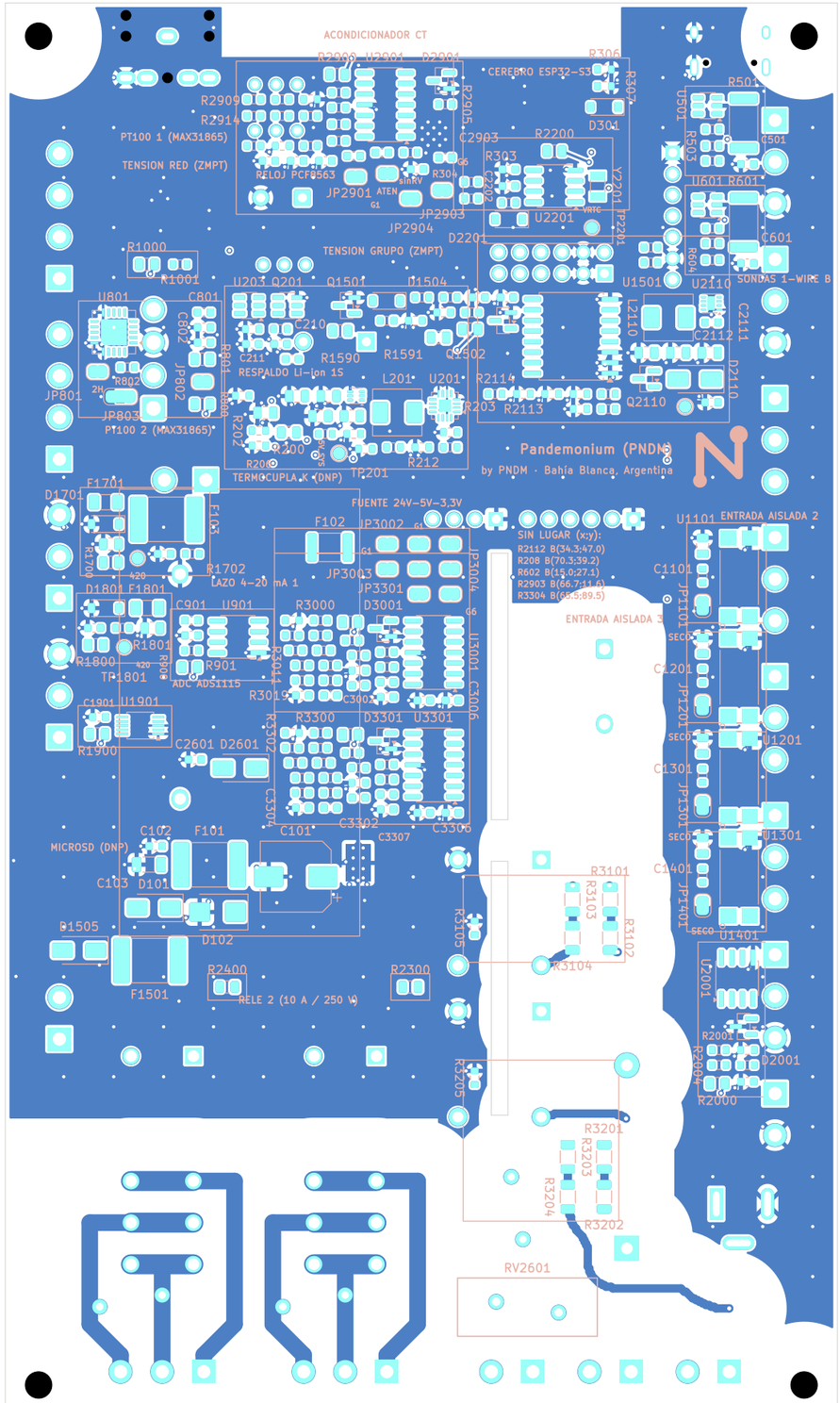
PCB · cara superior

F.Cu + F.Mask + F.Silkscreen + Edge.Cuts · vectorial



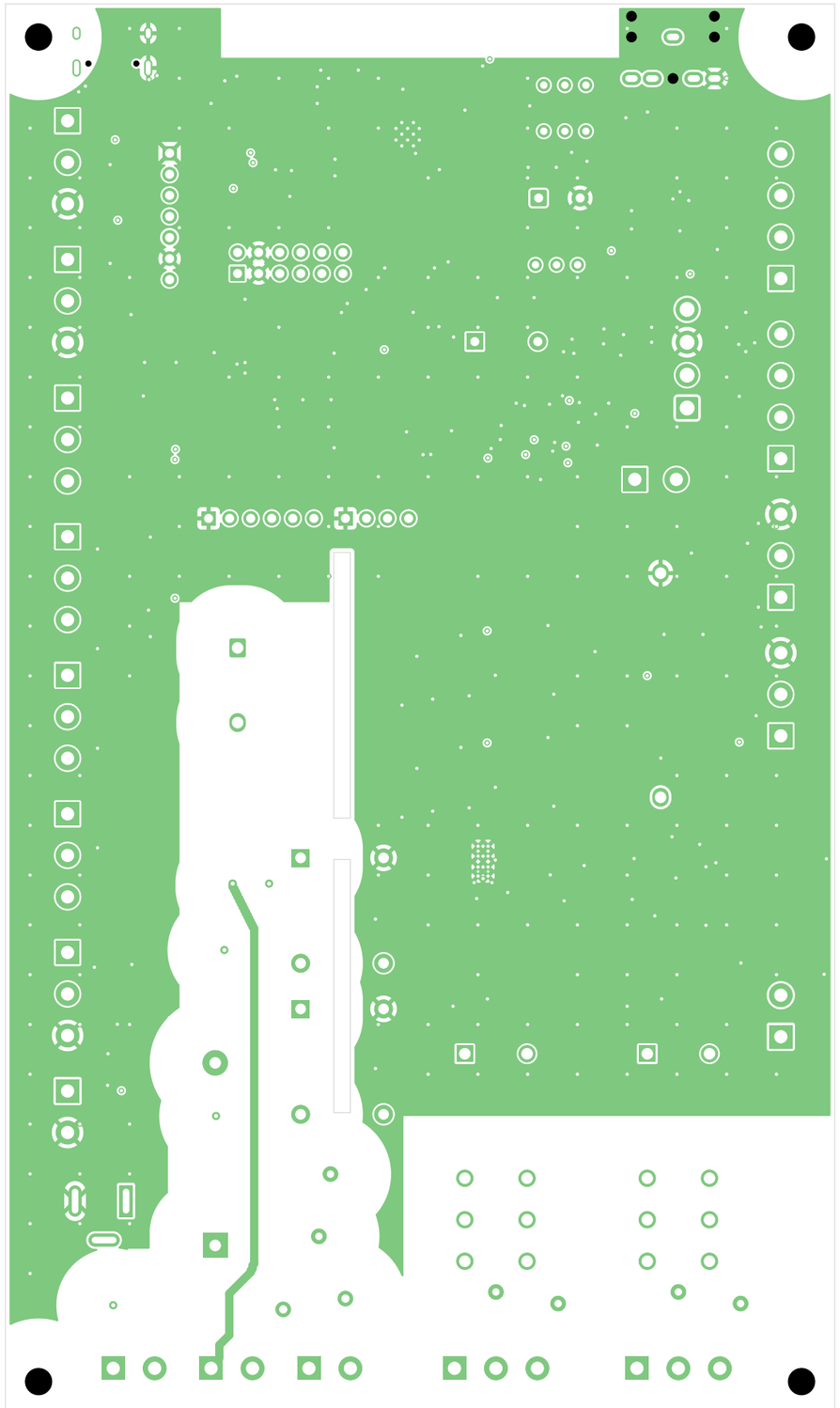
PCB · cara inferior (vista desde abajo, espejada)

B.Cu + B.Mask + B.Silkscreen + Edge.Cuts · vectorial



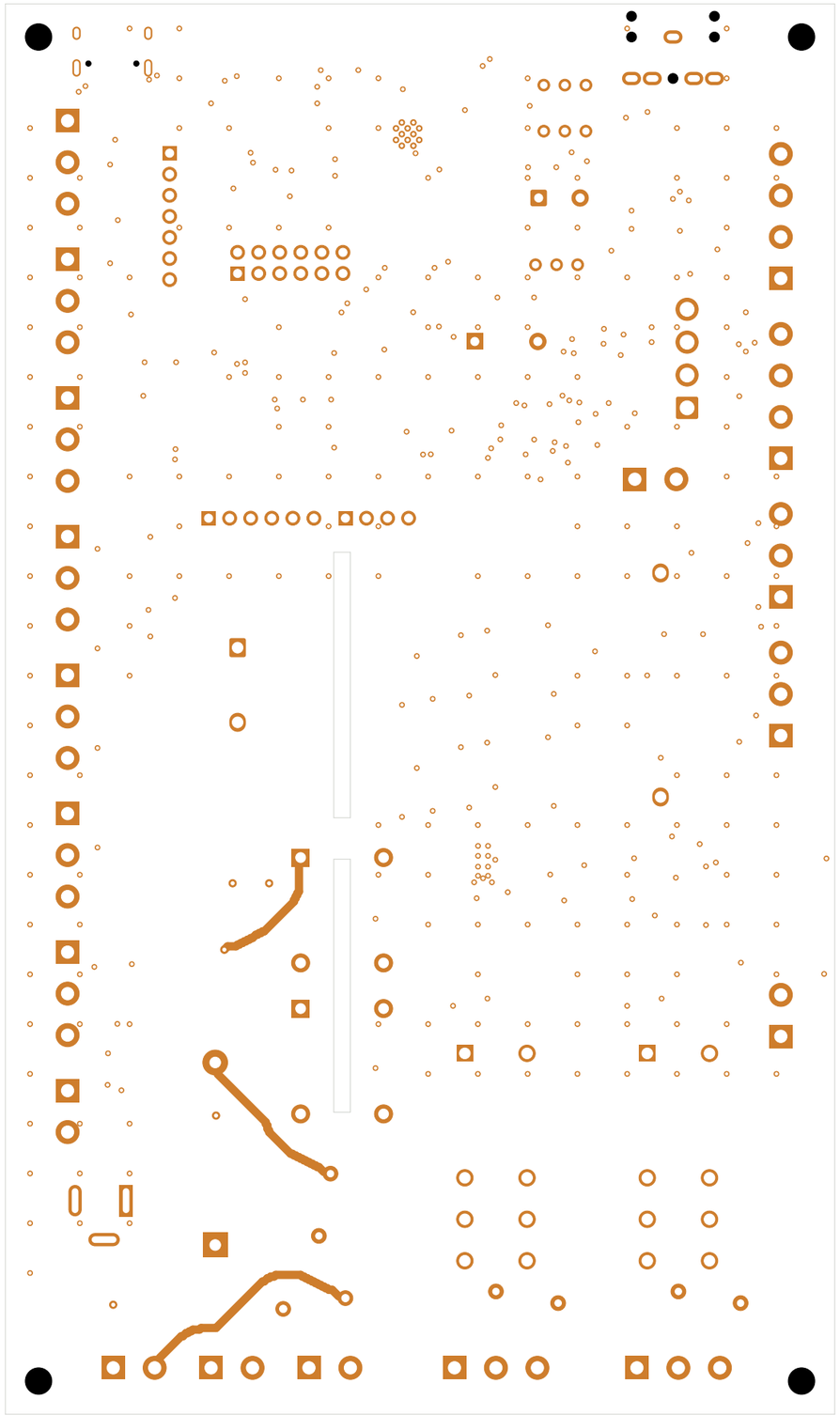
PCB · capa interna In1.Cu · plano GND

capa 2 de 6 · In1.Cu + Edge.Cuts · vista desde arriba · vectorial



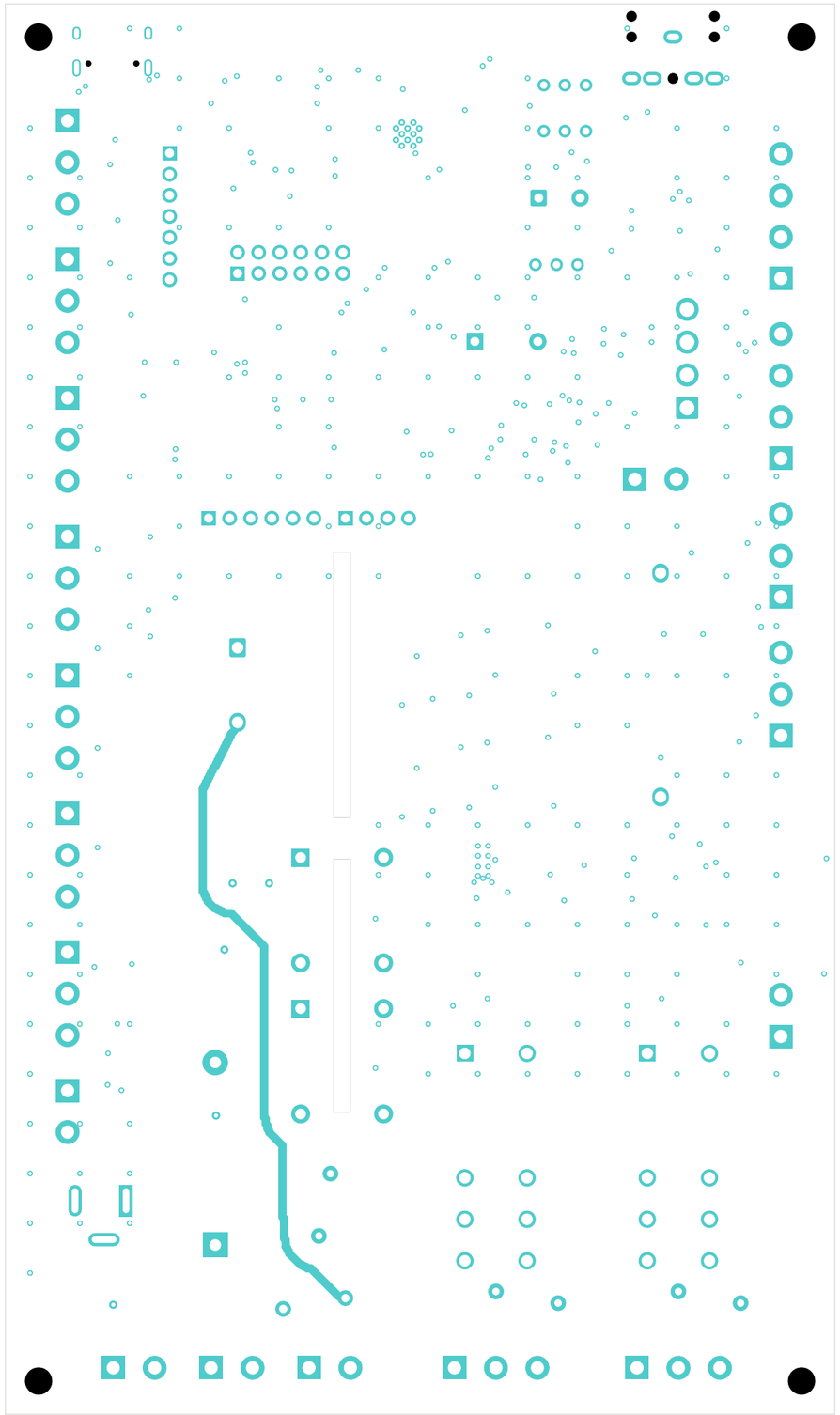
PCB · capa interna In2.Cu · señal

capa 3 de 6 · In2.Cu + Edge.Cuts · vista desde arriba · vectorial



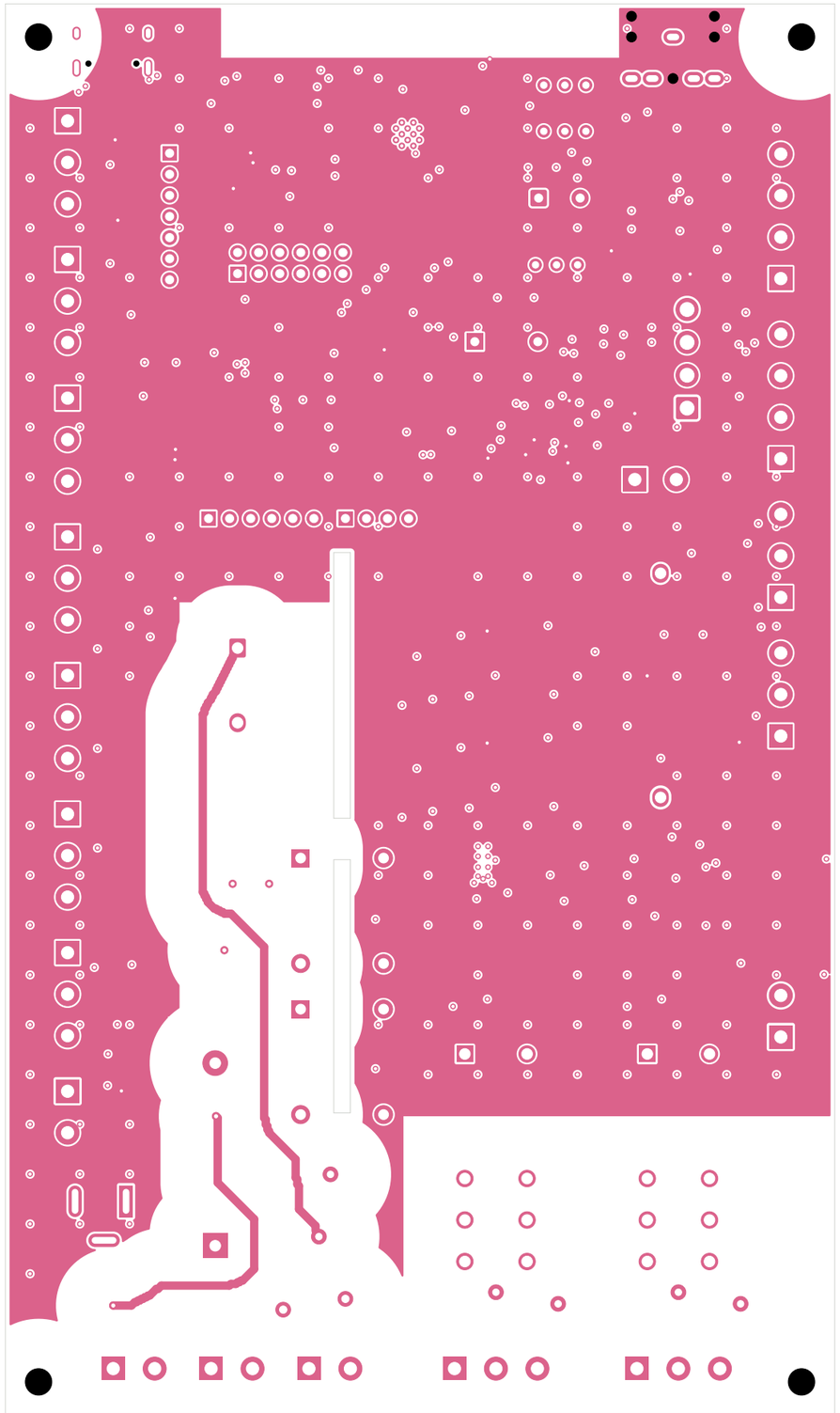
PCB · capa interna In3.Cu · señal

capa 4 de 6 · In3.Cu + Edge.Cuts · vista desde arriba · vectorial



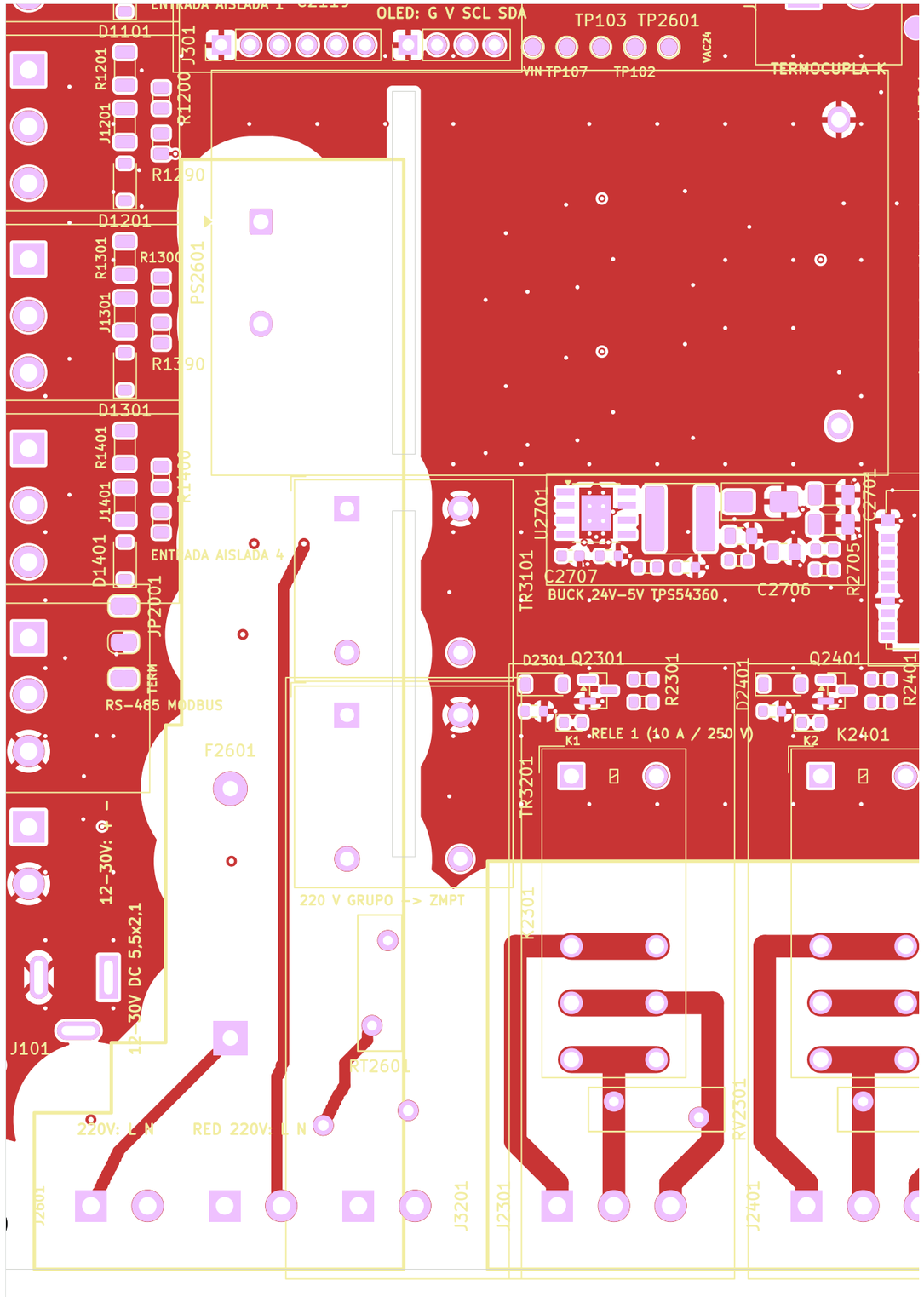
PCB · capa interna In4.Cu · plano +3V3

capa 5 de 6 · In4.Cu + Edge.Cuts · vista desde arriba · vectorial



Zona clave · Zona 220 V: fuente HLK-20M24, fusible, NTC y MOV

recorte vectorial de la cara superior · x 8-84 mm, y 61-170 mm



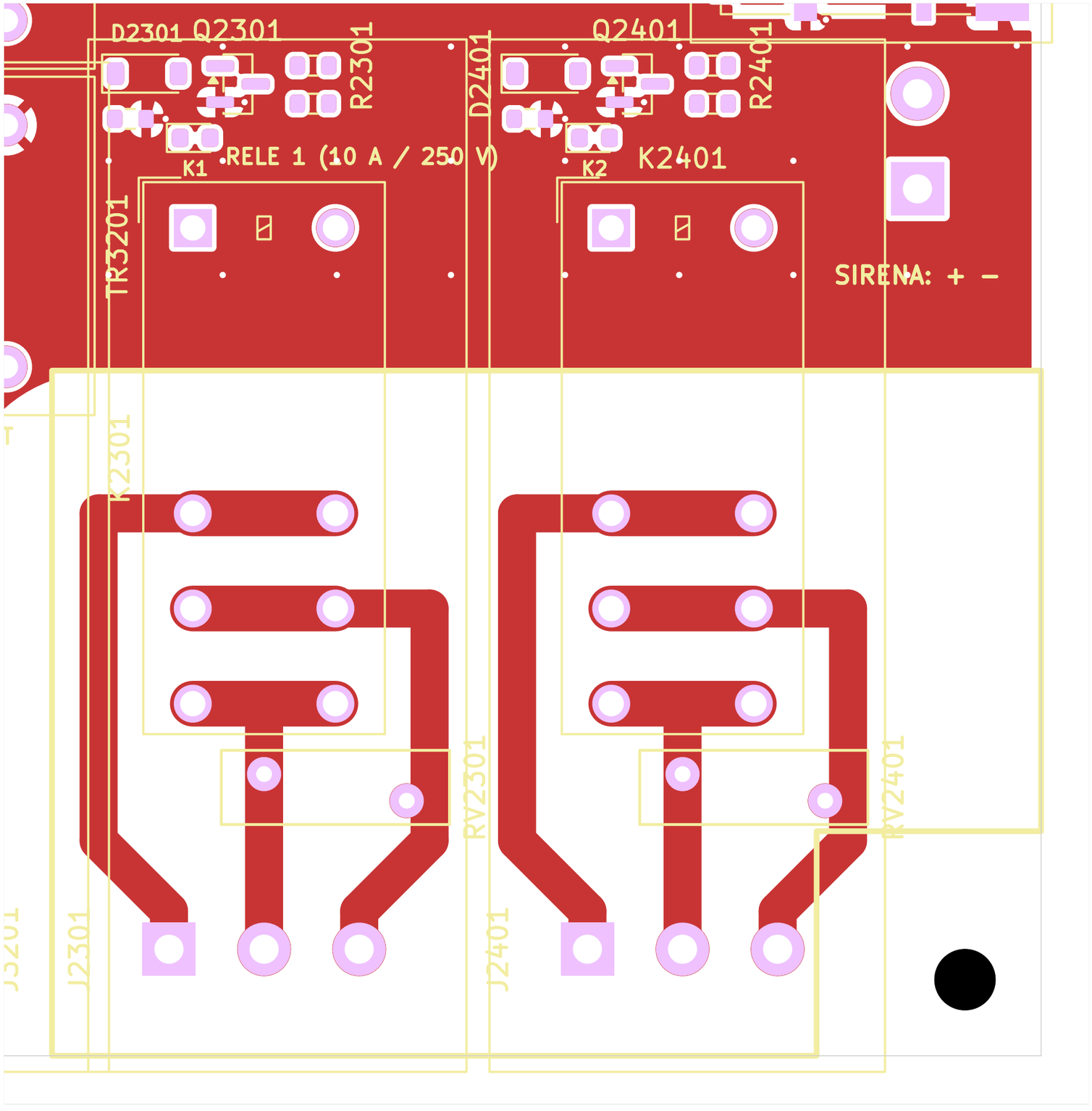
Zona 220 V: fuente HLK-20M24, fusible, NTC y MOV

Regla de DRC (M-15, .kicad_dru): red ↔ todo lo demás **≥ 6,4 mm** de clearance y creepage, 2,5 mm entre redes de 220 V, keepout de zona en todas las capas. Ruteado por script: **15 de 18 conexiones de 220 V** (fuente y red completas; entrada GRUPO J3201: 3 abiertas). DRC: **5 clearance L↔N de 2,28-2,49 mm contra 2,5** a la salida de J2601/J3101; **0 violaciones entre 220 V y SELV**. HLK-20M24: 2500 VAC sin certificación de componente (riesgo declarado).

Ampliación ≈ 2.2× sobre el tamaño real.

Zona clave · Relés Omron G2RL y borneras de contactos

recorte vectorial de la cara superior · x 48-100 mm, y 117-170 mm



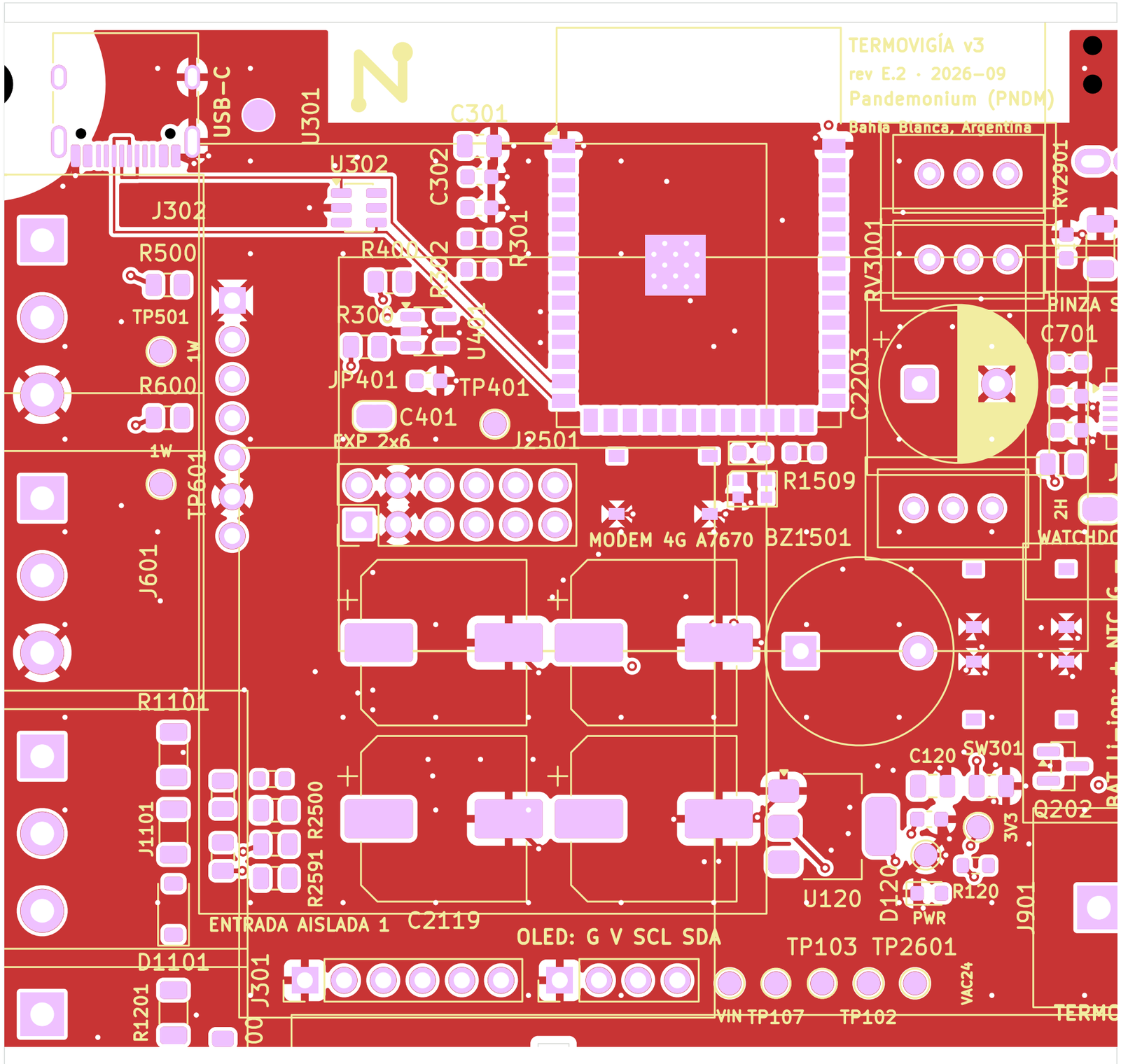
Relés Omron G2RL y borneras de contactos

Dos relés con aislación **reforzada bobina-contacto (5 kVAC, 8 mm)**, MOV 470 V en cada contacto, netclass RELE_250VAC y **16 mm** de bobina/drivers al cobre de contactos (exigido 6,4). Contactos de 10 A: barras de 2,4 mm y bajadas de 2,0 mm **en F.Cu y B.Cu en paralelo** (2 × 5,5 A), ruteados por script, 0 cruces.

Ampliación ≈ 4.3× sobre el tamaño real.

Zona clave · ESP32-S3 + USB-C

recorte vectorial de la cara superior · x 8-75 mm, y -0-64 mm



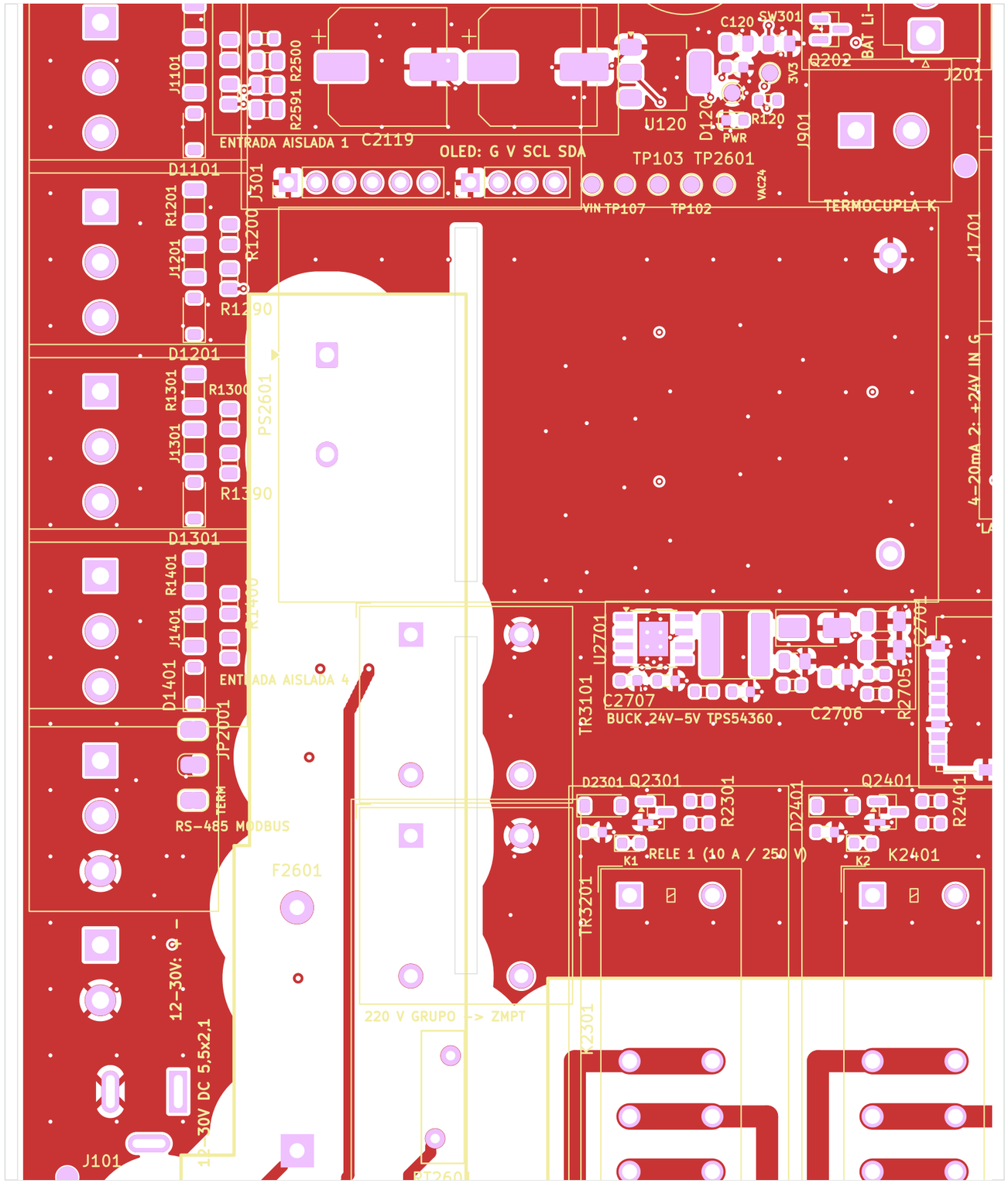
ESP32-S3 + USB-C

Par USB en F.Cu sobre el plano GND de In1 (prepreg 3313 de 0,0994 mm, stackup JLC06161H-3313): **W 0,16 / S 0,20 mm → ≈ 89 Ω diferencial**, D+ 39,6 mm / D− 37,1 mm, **0 vías**, SRV05 en el camino. Ruteado a mano por script y bloqueado. Keepout de cobre bajo la antena.

Ampliación ≈ 3.6× sobre el tamaño real.

Zona clave · Fuente y regulación: OR de diodos, buck TPS54360 24 → 5 V

recorte vectorial de la cara superior · x 0-86 mm, y 48-150 mm



Fuente y regulación: OR de diodos, buck TPS54360 24 → 5 V

Entrada 12-30 VDC o 24 V del HLK por OR de diodos (SS36), buck de 60 V a 5 V / 3,5 A (simulado: 4,97 V, arranque 2,0 ms), LDO 3,3 V y puntos de prueba por riel.

Ampliación ≈ 2.3× sobre el tamaño real.

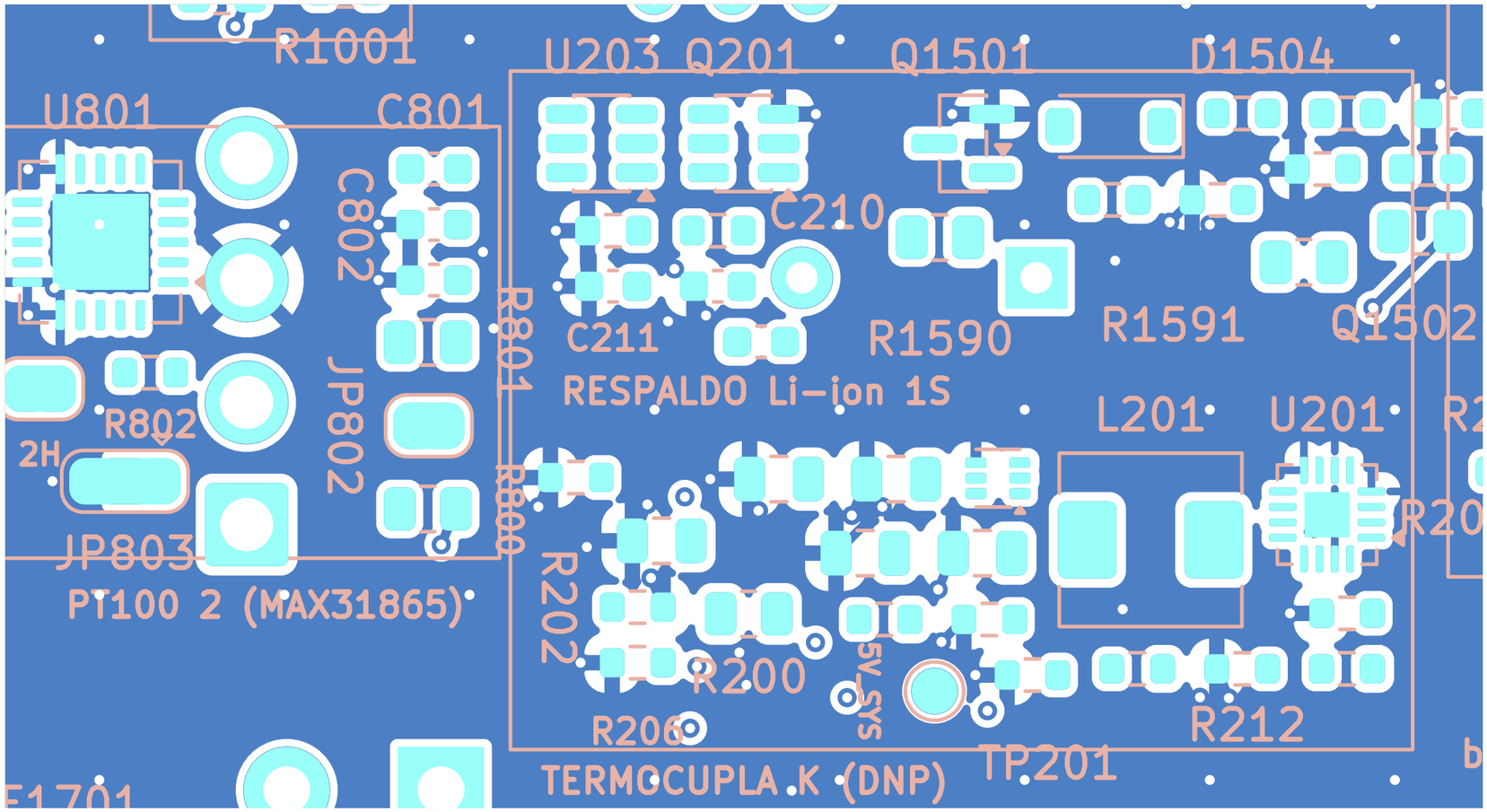
Zona clave · Respaldo Li-ion 18650

recorte vectorial de la cara inferior (espejada) · x 45-88 mm, y 34-55 mm

Respaldo Li-ion 18650

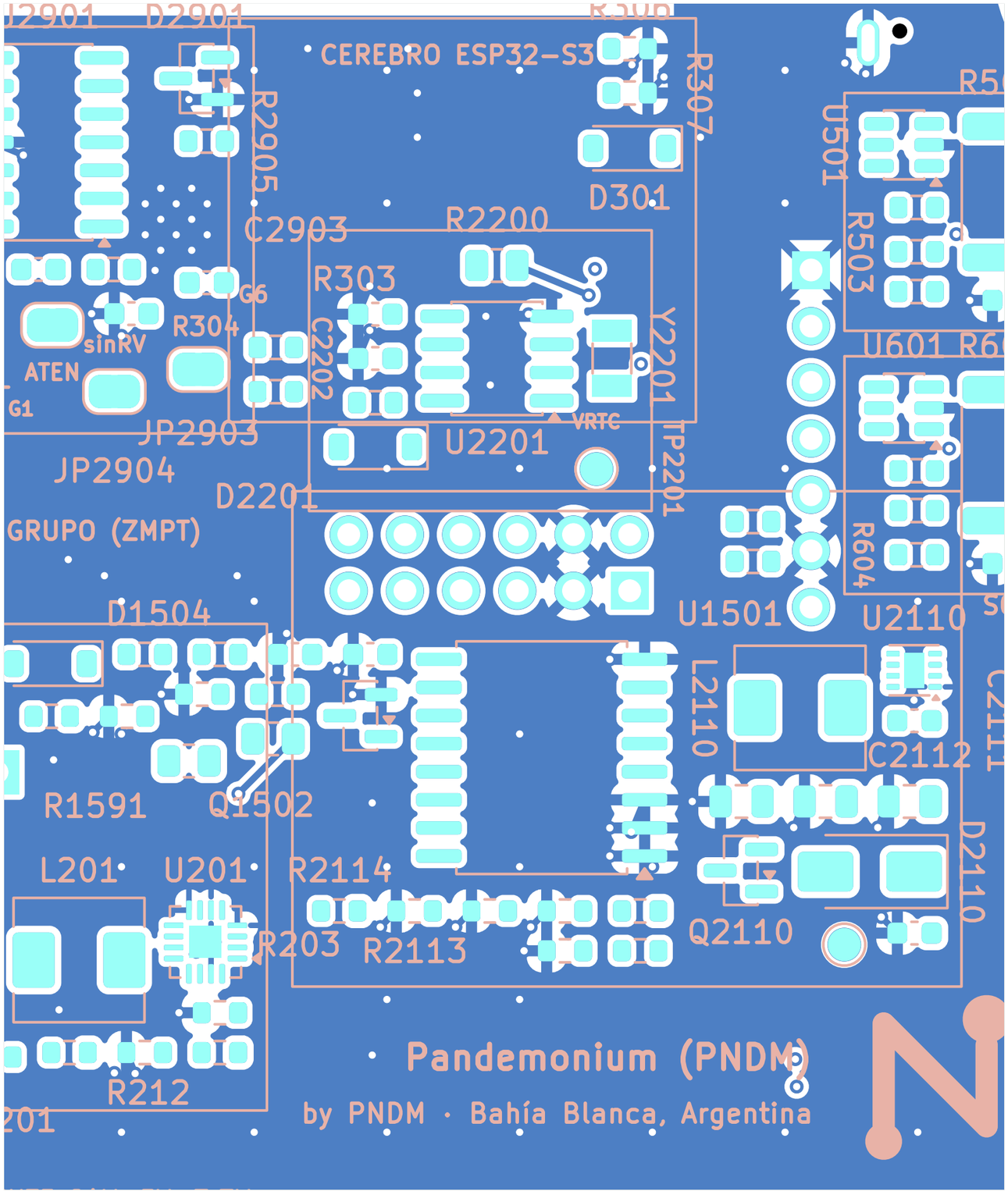
BQ24075 (power path, NTC en la celda: no carga bajo ~0 °C ni sobre ~51 °C) + DW01A/FS8205A + boost TPS61023 a 5,06 V. Celda en el gabinete, a la placa por JST VH de 4 vías (J201) con Q202 contra celda invertida.

Ampliación ≈ 5.6× sobre el tamaño real.



Zona clave · Módem 4G: TPS61252 a 6,0 V + 4 × 1000 µF

recorte vectorial de la cara inferior (espejada) · x 14-54 mm, y 8-57 mm



Módem 4G: TPS61252 a 6,0 V + 4 × 1000 µF

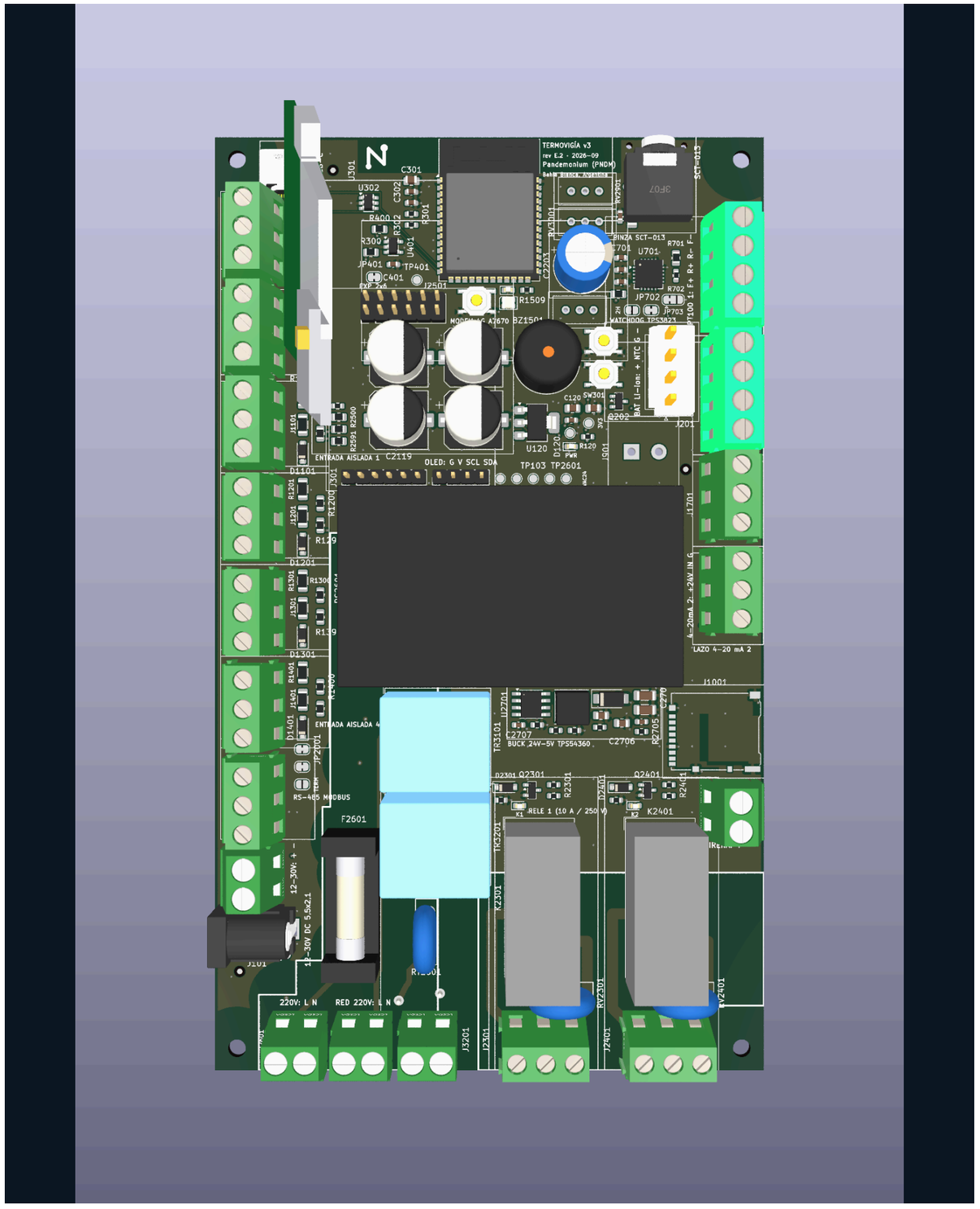
Header del breakout BK-A7670. +VMODEM 6,0 V con 4 mF de reserva: la ráfaga de 1 slot pasa con margen en los bancos de ngspice; LTE con la celda fría en el corte de 3,4 V queda abierto (hallazgo E2-A1: valores y firmware).

Ampliación ≈ 4.6× sobre el tamaño real.

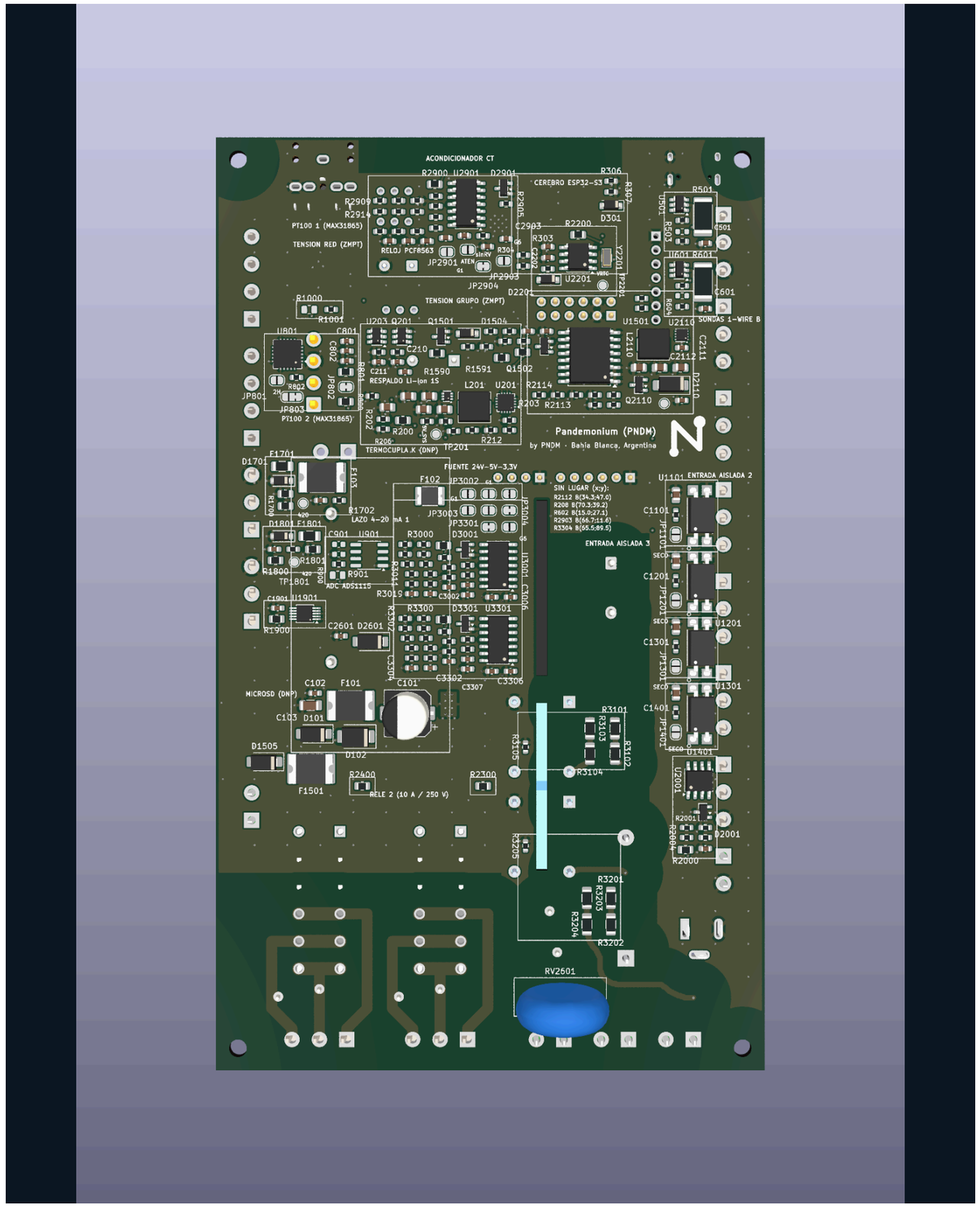
3D · las dos caras

render de kicad-cli con los modelos de las piezas de la BOM

Cara superior · pcb_3d.png



Cara inferior · pcb_3d_bottom.png



Datos para decidir la fabricación

medido hoy del .kicad_pcb con kicad-cli · 24/09/2026 14:11

La placa

Tamaño: 100 × 170 mm · espesor 1,6 mm

Capas de cobre: 6 · F.Cu (señal) / In1.Cu (plano GND) / In2.Cu (señal) / In3.Cu (señal) / In4.Cu (plano +3V3) / B.Cu (señal) · stackup JLC06161H-3313

Componentes: 408 en el esquemático, 396 pobladas en la variante INDUSTRIAL · 99 códigos JLC

Módulos: 22 módulos de biblioteca (33 hojas de esquemático)

Cobre: 659 tramos de pista · 380 vías · 11 zonas

DRC: 499 conexiones SIN RUTEAR: la placa no está terminada · 31 violaciones eléctricas · DRC de kicad-cli corrido por @pcb sobre esta placa (VERIFICACION_PCB.md, 24/09 14:05)

Conectividad desde el cobre: (pcb/conectividad_reparada.py, polígonos reales de las 6 capas, 7461 polígonos, 4 rellenos auto-tangentes reparados sin cambio de área): **0 cortos no intencionales**. Marca 10 "cortos" que son los puentes de soldadura *Bridged* (cerrados de fábrica por diseño: JP401, JP702, JP703, JP802, JP803, JP2001, JP2002, JP2904, JP3004, JP3304). **240 redes con islas abiertas** (= lo sin rutear), **0 discrepancias** pad/red contra la netlist. Evidencia: pcb/logs/conectividad_revE2.json.

Resultado del ruteo

Estado: NO FABRICABLE. Placement cerrado y verificado; ruteo INCOMPLETO: 499 ítems sin conectar (205 redes).

Costo puesto en Bahía Blanca (USD, con envío e impuestos)

	× 5	× 10
Componentes (lote de 10)		451,7
Fee Extended 53 × 3,07		162,7
PCB 4 capas + SMT + THT		75
FOB		689,4
Envío DHL		50
IVA + derechos + gestión		222,4
Total de la tanda	**no calculado**	**961,8**
Por equipo (placa armada)	**no calculado**	**96,2**

v3_modular/COSTEO.md §9 (rev E.2, 21-sep), calculado para una placa de 4 capas y 100 × 150 mm: la placa de 6 capas y 100 × 170 todavía NO está costeada. La tanda de 5 tampoco.

Lo que falta antes de pedir

1. **Terminar el ruteo**: 499 conexiones pendientes (DRC de @pcb).
2. Cerrar la entrada de 220 V del GRUPO (J3201, 3 conexiones) y los 5 clearance L↔N de 2,28-2,49 mm contra 2,5 mm.
3. Paquete JLC: no se genera hasta que queden 0 sin conectar (regla de @pcb).
4. Cotización real en jlcpcb.com para 6 capas y 100 × 170 (el COSTEO es de 4 capas y 100 × 150).
5. Hallazgo abierto de la verificación E.2 (módem en LTE con la celda fría en el corte de 3,4 V) y prueba de ráfaga del módem en banco (P18).
6. **Masa analógica y digital**: hoy masa única con plano en In1. La separación AGND/DGND unida en un solo punto (net-tie junto al conversor) para el acondicionador MCP6004, el ADS1115 del 4-20 mA, los MAX31865 de PT100 y el secundario de los ZMPT entra en la **rev E.3, antes de fabricar** (regla M-22).
7. Decisión de Matías: se fabrica cuando haya cliente de planta (Cerro Moro).

Fuente: VERIFICACION_PCB.md (@pcb) + pendientes de los documentos de diseño.